



Centre Français Fiabilité



DE LA RECHERCHE
À L'INDUSTRIE

Les Rendez-Vous Fiabilité du CFF

CARACTÉRISATION DES ÉLÉMENTS PARASITES DE COMPOSANTS
GRAND GAP ET DE LEUR PACKAGING EN UTILISANT DES
MÉTHODES ISSUES DE LA RF.
PERSPECTIVES SUR L'IMPACT DE LA FIABILITÉ DES
INTERRUPTEURS DE PUISSANCE.

GUTIERREZ GALEANO Alonso

Commissariat à l'énergie atomique et aux énergies alternatives
51, rue de l'innovation | F-31670 Labège | +33 5 36 25 96 24
alonso.gutierrez-galeano@cea.fr www.cea-tech.fr

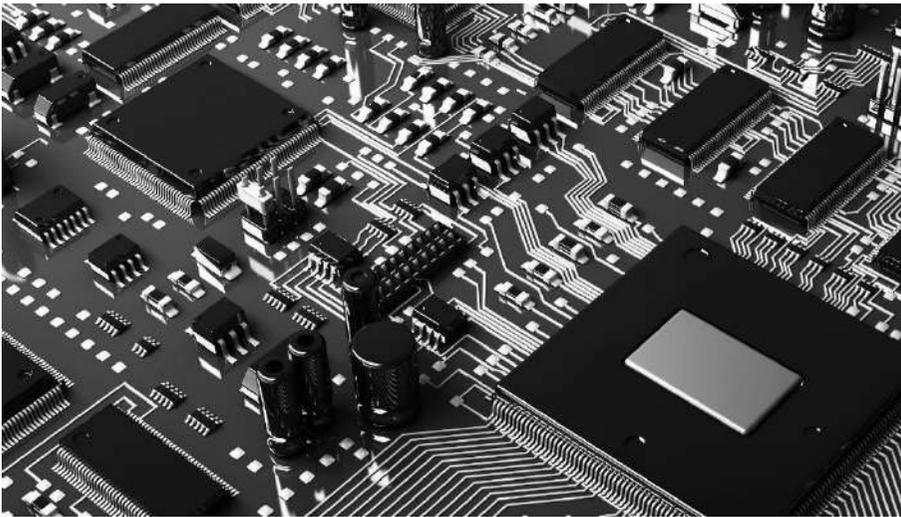


Les Rendez-Vous Fiabilité du CFF

Initiative

Le Centre Français de Fiabilité

Regroupement d'experts de la fiabilité des systèmes et des composants électroniques



ASTech Paris Region, pôle de compétitivité dans le domaine de l'aéronautique, de l'espace et de la défense.



NAE (Normandie AeroEspace), la filière d'excellence en Normandie dans l'aéronautique, le spatial, la défense et la sécurité.



Pôle de compétitivité européen, **NextMove** rassemble en Normandie et Île-de-France, la « Mobility valley » française, toutes les énergies de l'écosystème Automobile et Mobilités.

Les Rendez-Vous Fiabilité du CFF sont un évènement mensuel, organisé en visioconférence sur des travaux en lien avec les thématiques du CFF.

Cette année, nous vous proposons de profiter de ce temps d'échanges pour vous présenter les compétences au sein de la communauté CFF, et de donner « carte blanche » à un membre pour présenter des travaux, des projets, des résultats et des perspectives, sur un sujet particulier en lien avec la Fiabilité des Composants et Systèmes Electroniques.



Les Rendez-Vous Fiabilité du CFF

NRTW
National Reliability Technology Workshop

NRTW 2023
16 mars 2023

Sujet : La température dans la fiabilité des systèmes et des composants électroniques

Agenda :

- 9.00 Introduction
- 9.15 Présentation des techniques et moyens de mesure
- Vue d'ensemble : Electriques, Cristaux liquides, Infra-rouge, Raman, SThM, Thermo-réflectance, fibre optique
 - Méthode par mesures électriques
 - Méthode Infra-rouge
 - Méthode Raman
 - Paramètres thermosensibles (PETS)
 - PETS par la résistance de grille sur des IGBT
 - Paramètres thermosensibles des composants GaN
 - Capteurs embarqués
 - Table ronde
- 12.00 Pause déjeuner
- 13.00 BtoB - Rencontres RTI
(Recherche, Technologies et Innovations)
- 14.00 Quelles mesures de T° pour quel type de besoins industriels ?
Panel de cas d'étude
- Spatial : xxxx
 - Défense : xxxx
 - Automobile : xxxxx
 - Ferroviaire : xxxxx
- 15.30 Présentation du Centre Français de Fiabilité
- 16.00 Conclusion du Symposium



Evènement en présentiel. Accès payant. Tarif préférentiel réservé aux membres du CFF.



Les Rendez-Vous Fiabilité du CFF

Agenda

L'agenda est susceptible d'être modifié. Voir agenda NAE pour confirmation. [Lien](#)

Date du webinar 2 ^e mardi du mois	Intervenant 13h00 - 14h00	Sujet	Inscription
mardi 11 octobre 2022	LEM3 	Caractérisation thermo-mécanique des matériaux et des interfaces, en vue de prédire la fiabilité des Circuits imprimés	Lien
mardi 13 décembre 2022	IRSEEM ESIGELEC AREELIS Technologies   	DiThAA (Dissipation Thermique des Antennes Actives) - Matériaux à changement de phase - AREELIS Technologies - Module Peltier (Thermoélectricité) - IRSEEM - ESIGELEC	Lien
mardi 14 février 2023	CEA 	Caractérisation des éléments parasites de composants grand gap et de leur packaging en utilisant des méthodes issues de la RF. Perspectives sur l'impact de la fiabilité des interrupteurs de puissance.	Lien
mardi 11 avril 2023	IRSEEM ESIGELEC LMN INSA   	<ul style="list-style-type: none"> Optimisation fiabilité et l'Influence de la couche de nucléation sur le comportement thermomécanique du HEMT Modèles électrothermiques en utilisant des outils numériques pour faire le lien entre le stress électrique appliqué et la température dans le composant 	Lien
mardi 13 juin 2023	Intervenant	Sujet à identifier	Lien



Centre Français Fiabilité



DE LA RECHERCHE
À L'INDUSTRIE

Les Rendez-Vous Fiabilité du CFF

CARACTÉRISATION DES ÉLÉMENTS PARASITES DE COMPOSANTS
GRAND GAP ET DE LEUR PACKAGING EN UTILISANT DES
MÉTHODES ISSUES DE LA RF.
PERSPECTIVES SUR L'IMPACT DE LA FIABILITÉ DES
INTERRUPTEURS DE PUISSANCE.

GUTIERREZ GALEANO Alonso

Commissariat à l'énergie atomique et aux énergies alternatives
51, rue de l'innovation | F-31670 Labège | +33 5 36 25 96 24
alonso.gutierrez-galeano@cea.fr www.cea-tech.fr



Les Rendez-Vous Fiabilité du CFF

Modalités

Format de la webconférence :

La webconférence se déroule via l'outil de conférence Cisco WebEx.

La webconférence dure **60 minutes, de 13h00 à 14h00.**

Une séance de Questions / Réponses se tiendra durant 10 mn à l'issue de l'intervention.

Règles de fonctionnement de la webconférence :

Pour l'intervenant : il aura le rôle de présentateur pour afficher son support de présentation.

Dans la mesure du possible, il allumera sa webcam durant son exposé.

Pour les auditeurs : **vos micros seront coupés durant la webconférence.**

Vous pourrez poser vos **questions** par le **chat de l'application** durant l'exposé.

Il n'y a pas de nécessité de connecter sa webcam.

Pour des soucis de qualité, nous vous conseillons de vous munir d'un système audio adapté.

Et après :

Les présentations seront mises à disposition via un lien de téléchargement sur le site du CFF.

Il n'y aura pas de replay pour des raisons de confidentialités de certains éléments échangés.



Les Rendez-Vous Fiabilité du CFF

Expertises de l'intervenant

Mettre en gras le ou les champs concernés



Structure : Institut CEA Occitanie
Direction de la Recherche Technologique
Adresse : 51 Rue de l'Innovation, 31670 Labège
Contact : mathieu.gavelle@cea.fr

Type



Académique
Industriel
Cluster
Société savante

Domaines



Modélisation et simulation
Expérimental
Cycle de vie

- Tests/caractérisations électriques de composants (expertise Grand Gap) à haut niveau de performance (DC + AC). Composants discrets/unitaires, modules de puissance. Génération de statistiques représentatives
- Tests applicatifs, fiabilisation via méthodologies spécifiques GaN type DHTOL
- Développement packaging pour les interrupteurs grand gap : gestion des phénomènes oscillatoires et des inductances parasites afin d'optimiser les formes d'ondes. Etude et analyses de transitoires ultra-rapides (~ 1 ns)
- Etudes de défaillances (composants, brasures, bonding, matériaux...) par simulation électro-thermo-mécaniques
- Simulation/modélisation électrique et physique pour la compréhension des mécanismes de défaillance

Thématiques :



Fiabilité des composants électroniques de puissance et leur packaging
Fiabilité des technologies liées à la connectique et à l'assemblage (connectiques, PCB, Busbars...)
Fiabilité des systèmes mécatroniques

Expertises :



Connaissances et moyens d'investigations sur les matériaux « électriques » et les composants



Ingénierie de l'environnement (mécanique, climatique et Compatibilité électromagnétique [CEM])



Management thermique



DataScience, Statistique et IA



Analyse de construction



Analyse de défaillance

Participez vous à des groupes de normalisation ?

Non Si oui, lesquels : JEDEC comité JC-70

Caractérisation des éléments parasites de composants grand gap et de leur packaging en utilisant des méthodes issues de la RF. Perspectives sur l'impact de la fiabilité des interrupteurs de puissance.

SOMMAIRE

- I. Actuellement, les composants de puissance grand gap démontrent de prometteuses perspectives. Néanmoins, leur packaging et notamment leurs éléments parasites peuvent devenir des facteurs limitants du point de vue de leurs performances ainsi que de leur robustesse. Nous présentons une méthodologie inspirée du domaine de la radiofréquence pour la caractérisation des éléments parasites des composants de puissance grand gap et de leur assemblage comme outil pour l'évaluation préliminaire de leur performance, de leur robustesse et de leur fiabilité. Un emphase sur l'Embedded PCB sera décrit.



DE LA RECHERCHE À L'INDUSTRIE

Characterization of Parasitic Elements of Wide Bandgap Devices Using an RF approach. Perspectives on the Reliability Impact.

14th February 2023

OUTLINE

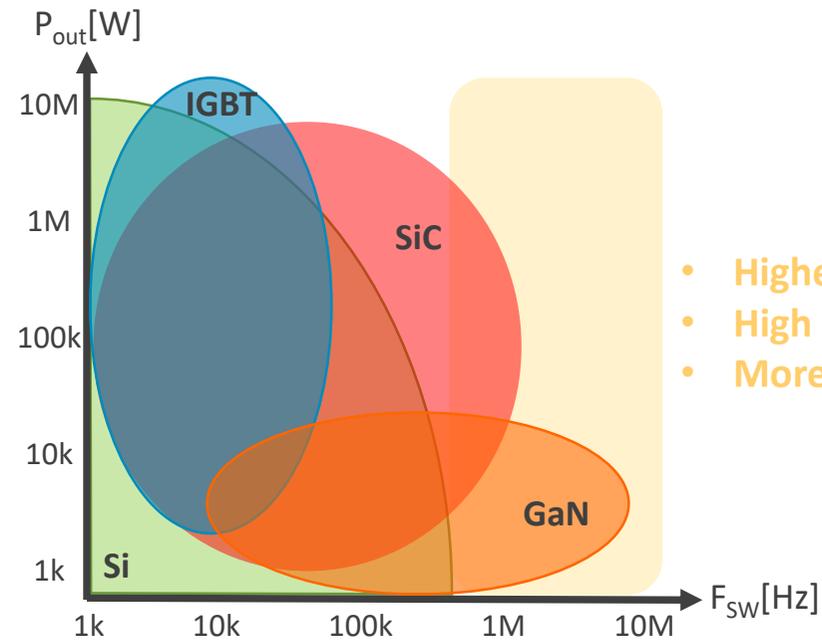
- Context
- Description of S-Parameters
- Development of test bench for characterization of parasitic elements
- Study case : Embedded PCB
- Conclusions and perspectives

OUTLINE

- Context
- Description of S-Parameters
- Development of test bench for characterization of parasitic elements
- Study case : Embedded PCB
- Conclusions and perspectives

CONTEXT

Wide Bandgap Devices in Power Electronics



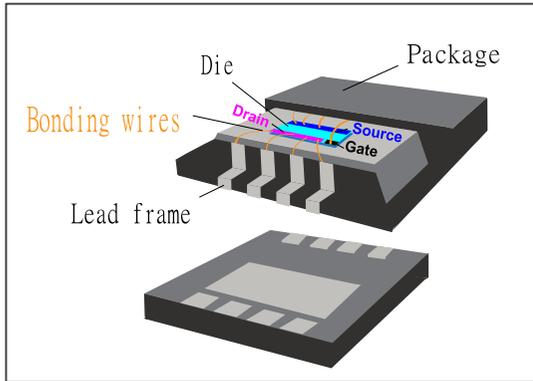
- Higher switching frequency
- High di/dt and dv/dt
- More impact on the reliability

Adapted from: <https://www.onsemi.com/solutions-applications/segments/automotive/vehicle-electrification/wide-bandgap-solutions>

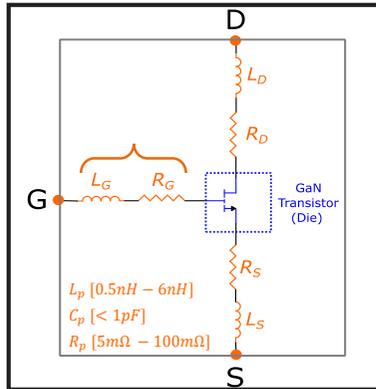
CONTEXT

Packaging Limitations and Novel Alternatives of Packaging

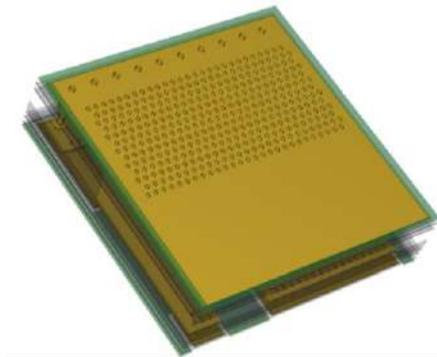
Conventional Packaging



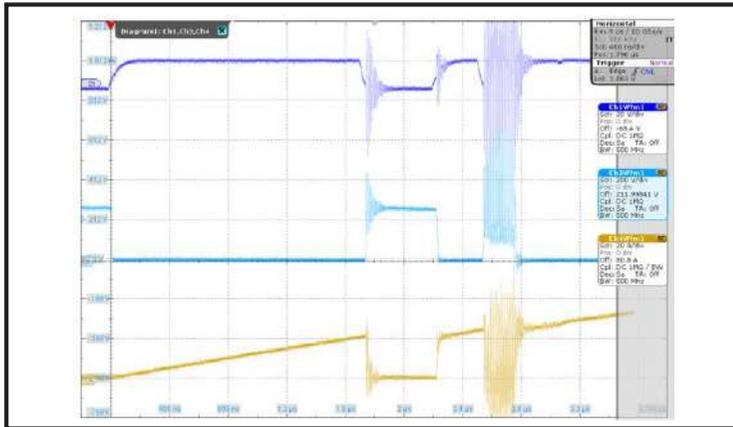
Parasitic Elements



Embedded PCB

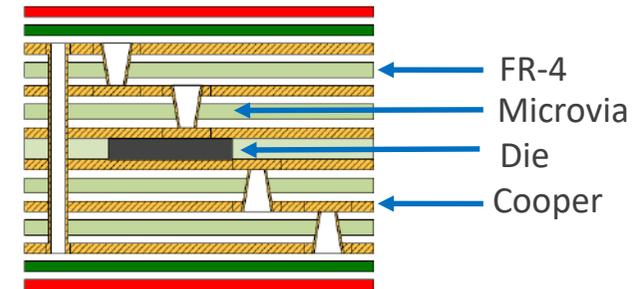


Hazard Oscillations



It requires more powerful tools for analysis and measurement

Embedded PCB Stackup

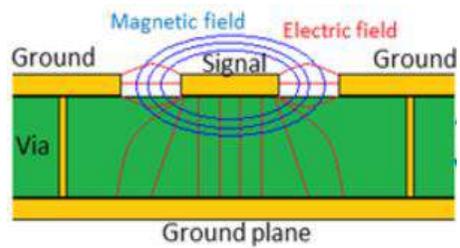


CONTEXT

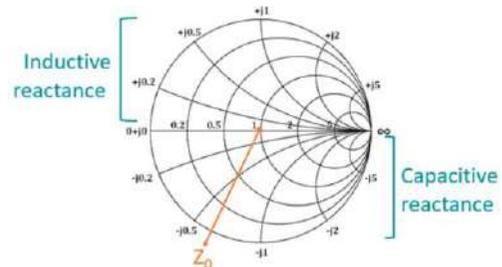
Radio-Frequency Approach for Power Electronics Design

Analytical methodologies

Modeling of PCB layout



Smith chart



Measuring instruments

Vector Network Analyzer

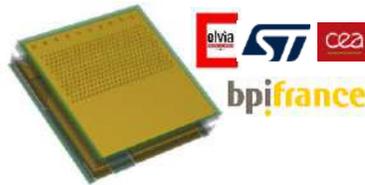


CONTEXT

Project Timeline

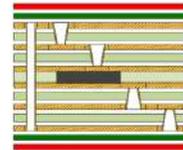


Study of RF approaches in power electronics

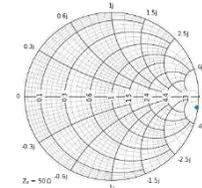


Embedded PCB development¹
Implementation of RF test bench

¹ EPCB developed in the framework of collaborative project *G-Mobility* financed by Bpifrance.



Embedded PCB modeling
Automation of RF test bench



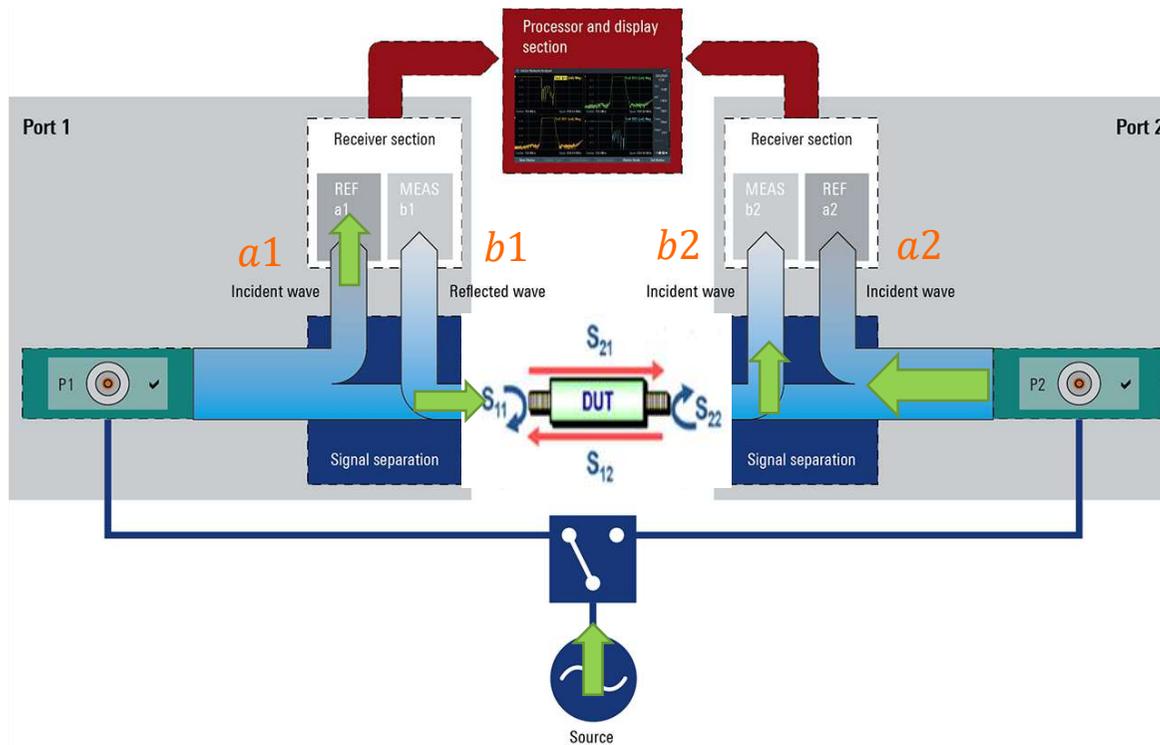
Study of EPCB reliability using RF methodologies

OUTLINE

- Context
- Description of S-Parameters
- Development of test bench for characterization of parasitic elements
- Study case : Embedded PCB
- Conclusions and perspectives

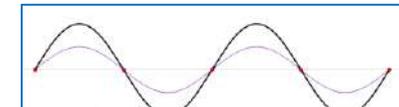
DESCRIPTION OF S-PARAMETERS

S-Parameters and Vector Network Analyzer



$$S_{11} = \frac{b_1}{a_1} \quad S_{21} = \frac{b_2}{a_1} \quad S_{12} = \frac{b_1}{a_2} \quad S_{22} = \frac{b_2}{a_2}$$

The S-parameters or Scattering parameters describe the electrical behavior of linear networks when a high frequency signal propagate on them.



A Vector Network Analyzer or VNA is an RF instrument that enables the measurements of S-parameters.

Source of images :

https://cdn.rohde-schwarz.com/image/products/test-and-measurement/analyzers/network-analyzers/znh/znh-architecture-infographic-rohde-schwarz_200_13877_1024_576_23.jpg

https://commons.wikimedia.org/wiki/File:Standing_wave_2.gif

DESCRIPTION OF S-PARAMETERS

S-parameters for Measurement of Parasitic Elements

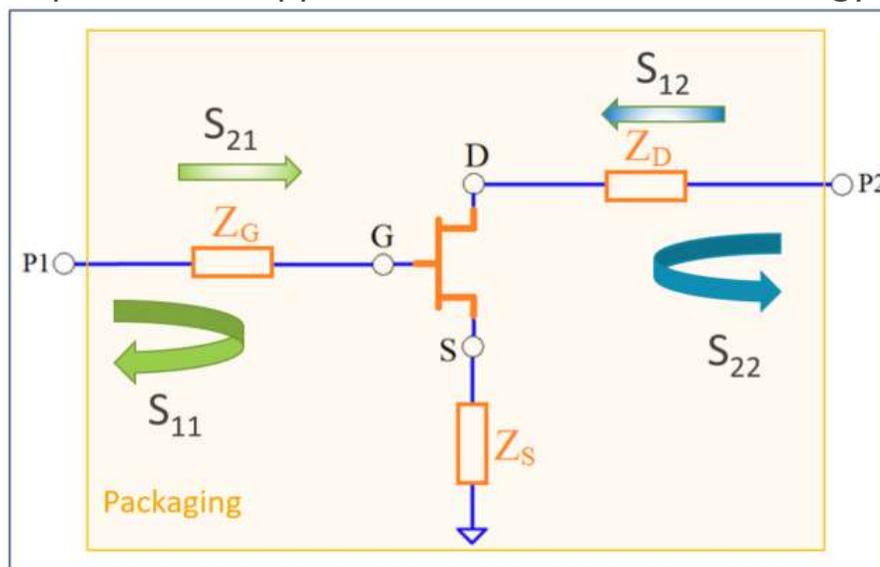
The S-parameters approach allows the calculation of parasitic inductive and capacitive elements with a high degree of accuracy

Vector Network Analyzer



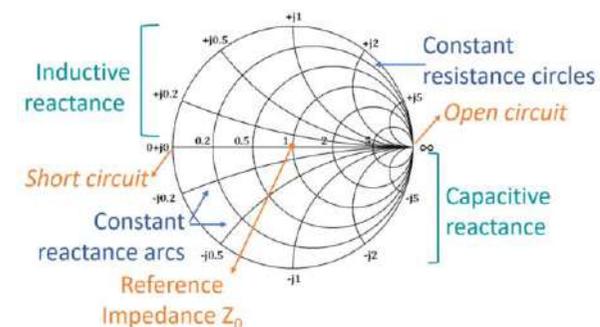
Measurement equipment
VNA R&S ZVH8

S-parameters approach based on RF methodology



*S₁₁ is mainly associated to the GS terminal
S₂₂ is mainly associated to the DS terminal
S₂₁=S₁₂ mainly associated to the GD terminal*

Smith chart



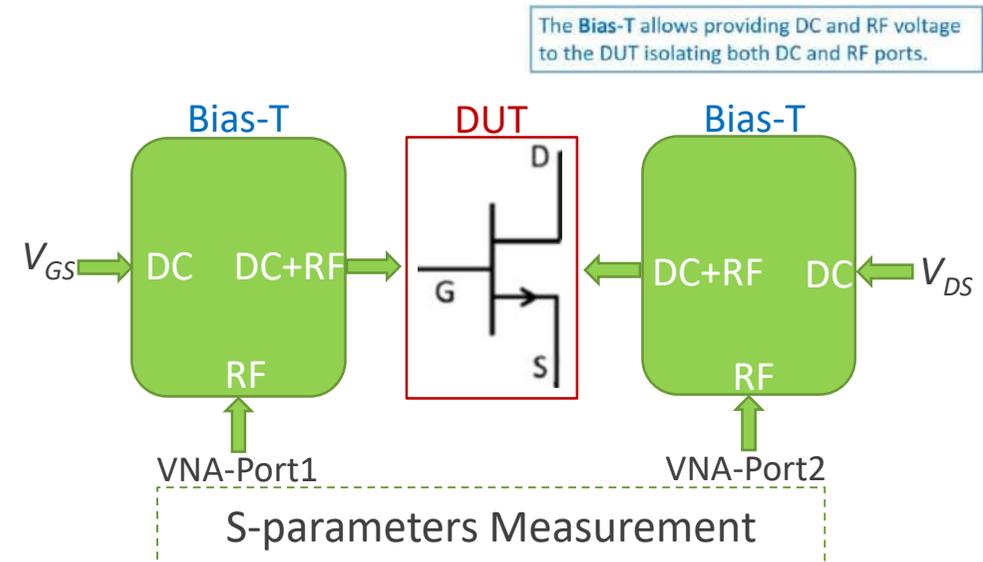
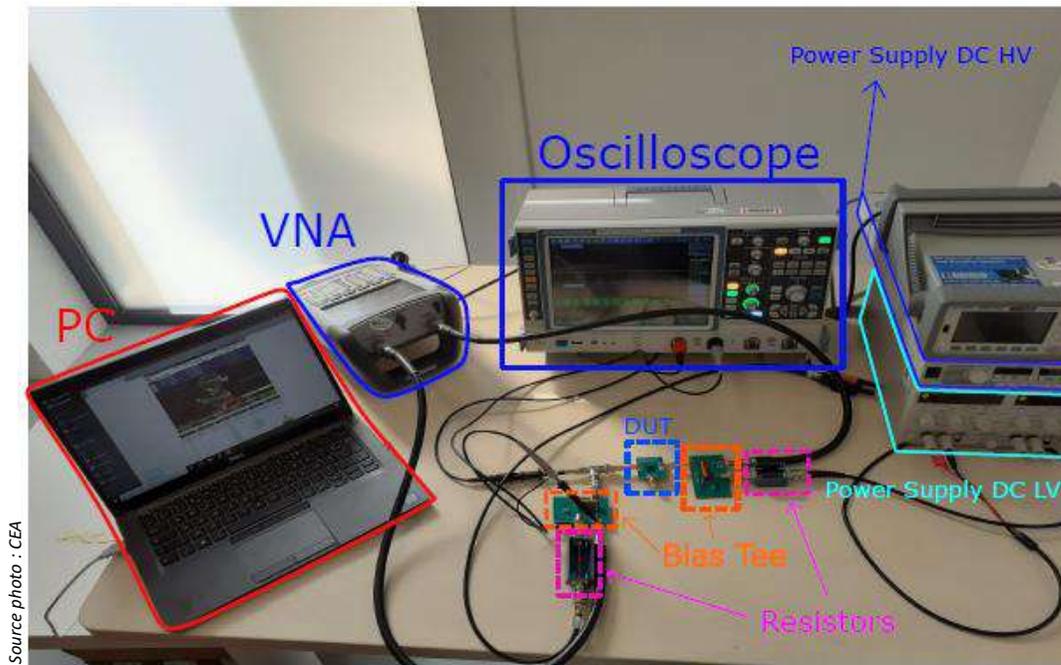
Analytical and graphical
tools for result analyses

OUTLINE

- Context
- Description of S-Parameters
- Development of test bench for characterization of parasitic elements
- Study case : Embedded PCB
- Conclusions and perspectives

DEVELOPMENT OF TEST BENCH FOR CHARACTERIZATION OF PARASITIC ELEMENTS

Test Bench for the Characterization of Parasitic Elements of GaN-HEMT

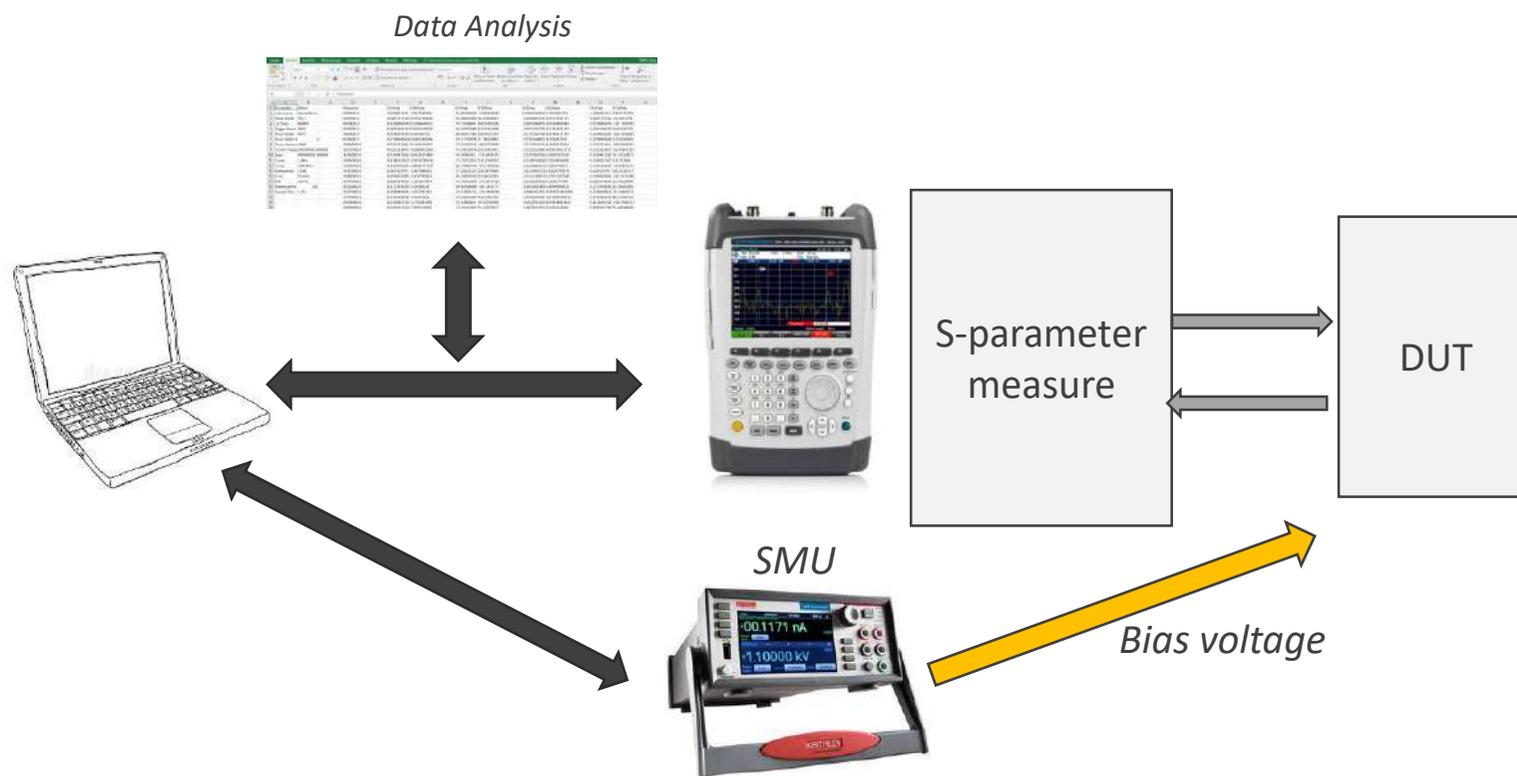


[1] N. Said, "Banc de Test Caractérisation des Composants de Puissance GaN/Si et de Leur Packaging" PFE-Master 2, Université de Toulouse – CEA Tech Occitanie, 2021.

[2] L. Pace, "Caractérisation et Modélisation de Composants GaN pour la Conception de Convertisseurs Statiques Haute Fréquence" Thèse Doctorat, Université de Lille, 2019.

DEVELOPMENT OF TEST BENCH FOR CHARACTERIZATION OF PARASITIC ELEMENTS

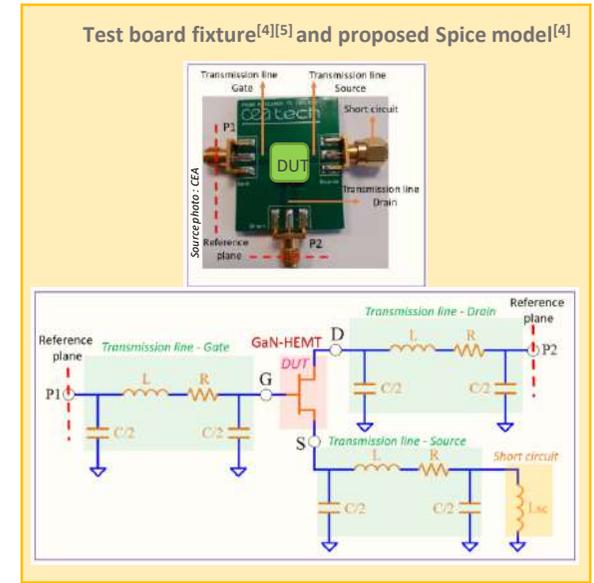
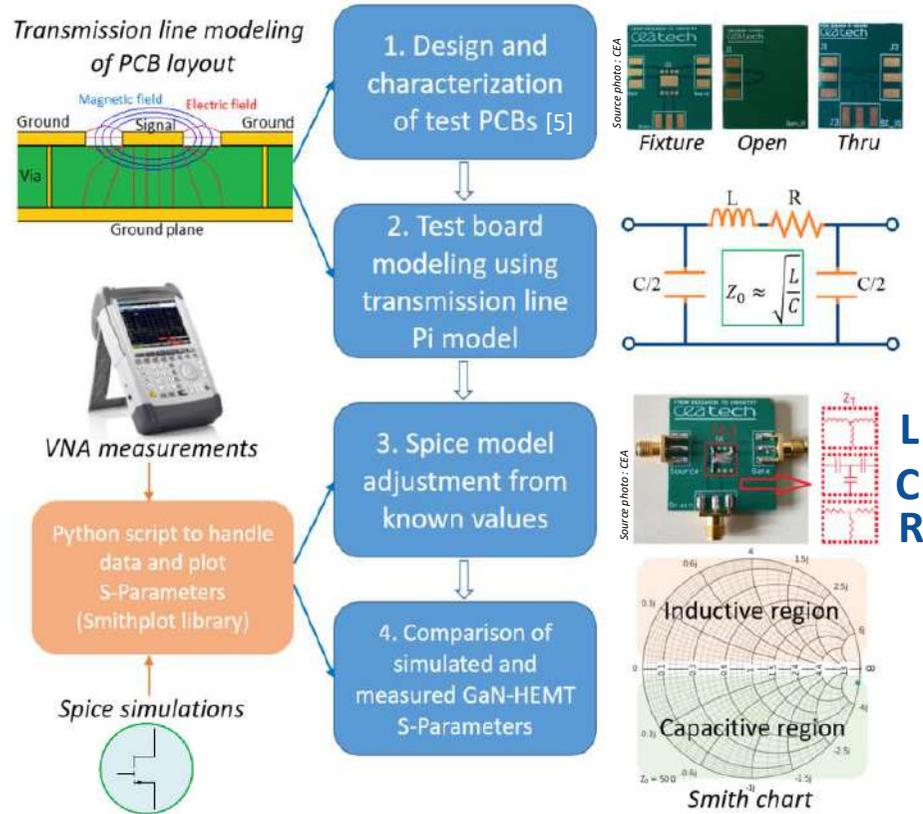
Automation of Test Bench for the Characterization of Parasitic Elements



[3] J. Ortali, "Optimisation d'un Banc D'essais De Composants Grand Gap" PFE, ENSIL-ENSCI – CEA Tech Occitanie, 2022.

DEVELOPMENT OF TEST BENCH FOR CHARACTERIZATION OF PARASITIC ELEMENTS

Verification of GaN-HEMT Spice Models using and S-Parameters Approach [4]



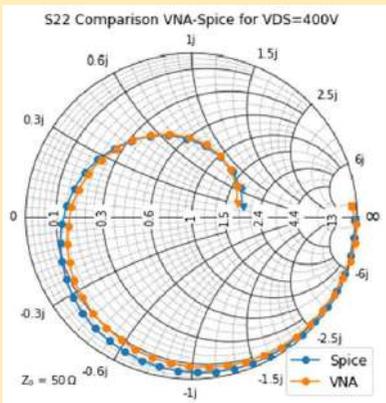
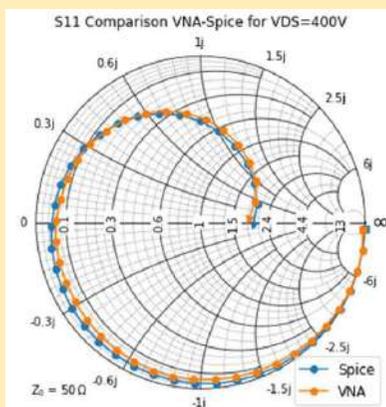
[4] A. Gutierrez, N. Said, E. Marcault, M. Gavelle, "Verification of GaN-HEMT Spice Models Using an S-parameters Approach", EPE'21 ECCE Europe, 2022

[5] L. Pace, N. Defrance, A. Videt, N. Idir, J.-C. De Jaeger, and V. Avramovic. "Extraction of Packaged GaN Power Transistors Parasitics using S-parameters". IEEE Transactions on Electron Devices, 2019.

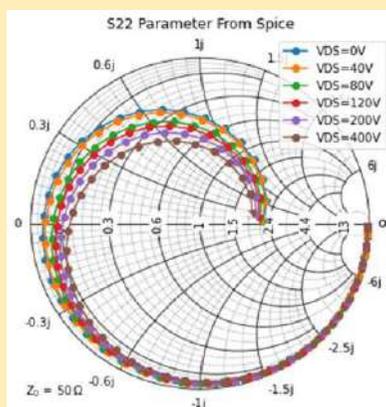
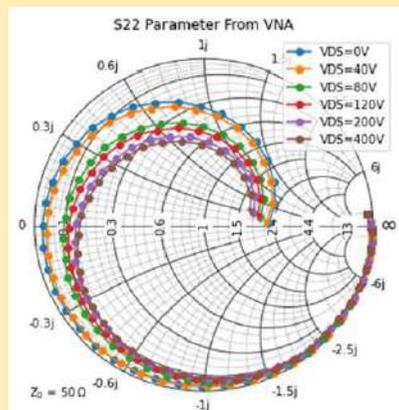
DEVELOPMENT OF TEST BENCH FOR CHARACTERIZATION OF PARASITIC ELEMENTS

Verification of GaN-HEMT Spice Models using and S-Parameters Approach

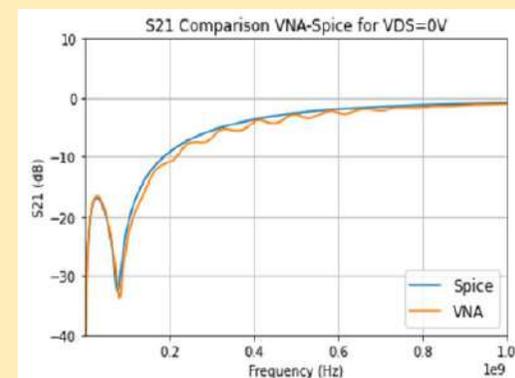
S_{11} and S_{22} parameters at $V_{DS} = 400V$. Vendor 1.



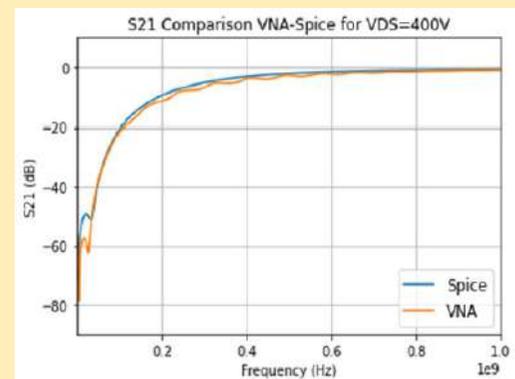
S_{22} for several V_{DS} . VNA and Spice. Vendor 1.



S_{21} parameter at $V_{DS} = 0V$. Vendor 1.



S_{21} parameter at $V_{DS} = 400V$. Vendor 1.

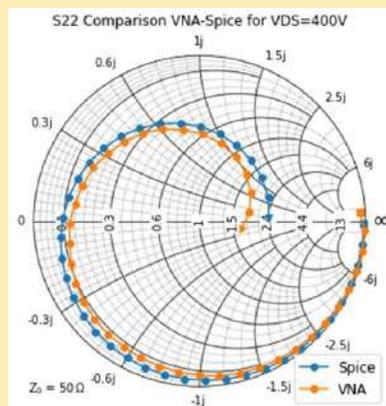
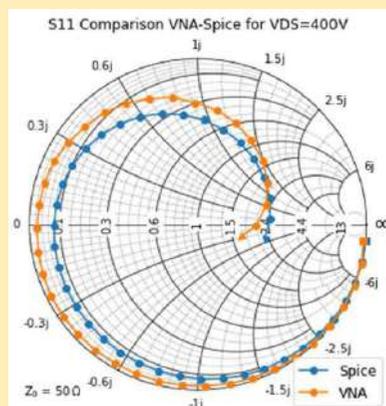


[4] A. Gutierrez, N. Said, E. Marcault, M. Gavelle, "Verification of GaN-HEMT Spice Models Using an S-parameters Approach", EPE'21 ECCE Europe, 2022

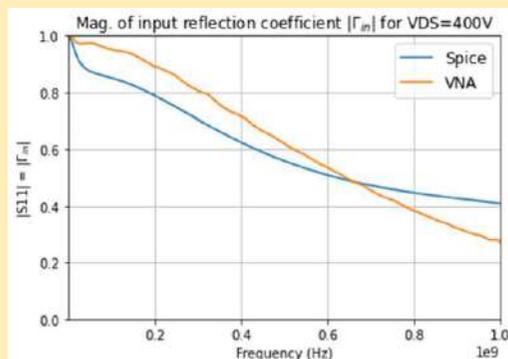
DEVELOPMENT OF TEST BENCH FOR CHARACTERIZATION OF PARASITIC ELEMENTS

Verification of GaN-HEMT Spice Models using and S-Parameters Approach

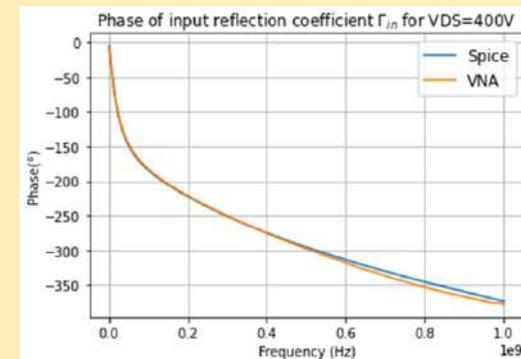
S_{11} and S_{22} parameters at $V_{DS} = 400V$. Vendor 2.



Magnitude of input reflection coefficient $|\Gamma_{in}| = |S_{11}|$ at $V_{DS} = 400V$. Vendor 2.



Phase of input reflection coefficient $\angle \Gamma_{in} = \angle S_{11}$ at $V_{DS} = 400V$. Vendor 2.

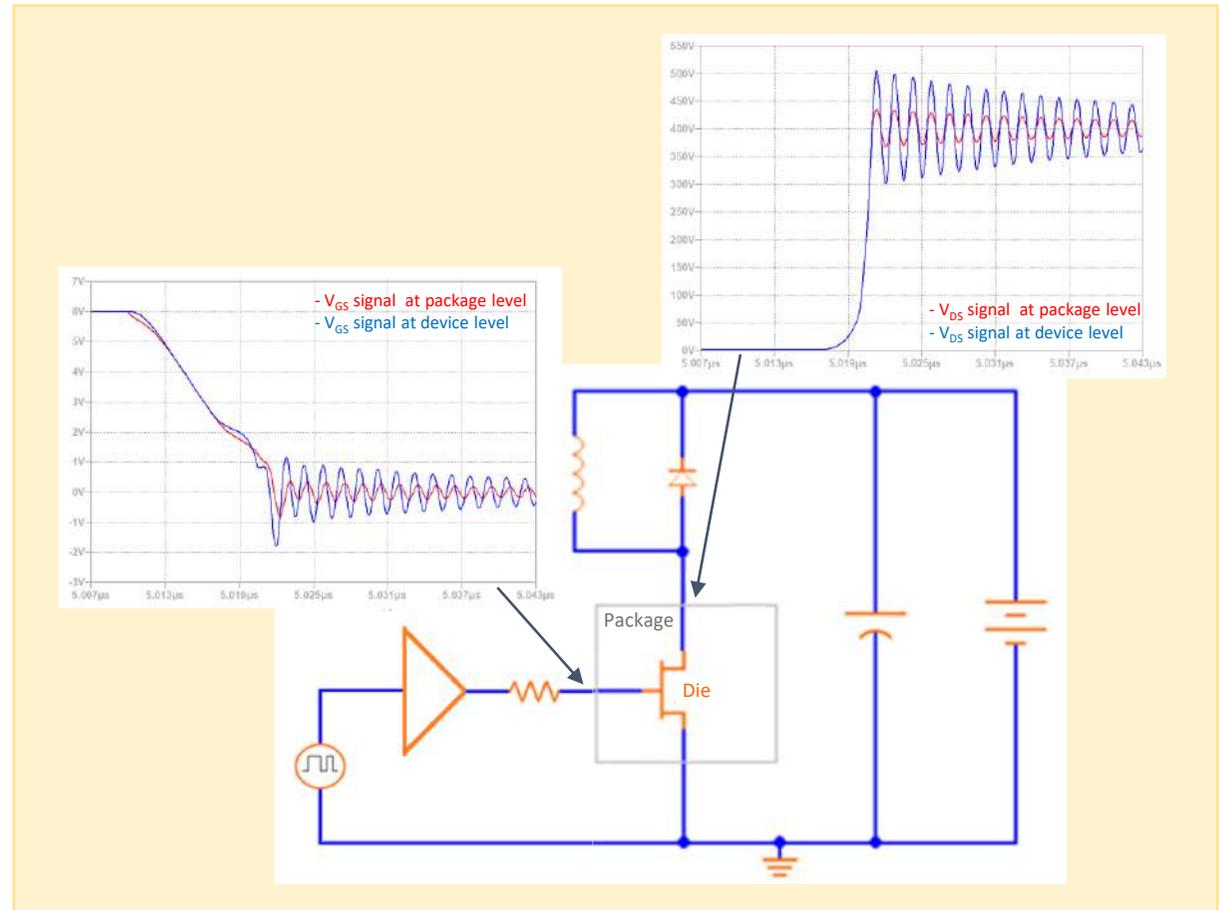


[4] A. Gutierrez, N. Said, E. Marcault, M. Gavelle, "Verification of GaN-HEMT Spice Models Using an S-parameters Approach", EPE'21 ECCE Europe, 2022

DEVELOPMENT OF TEST BENCH FOR CHARACTERIZATION OF PARASITIC ELEMENTS

Why is important the model accuracy of stray elements for reliability?

Poor quality models lead to underestimate the potential risk of hazard signals in the design process. This could decrease the power device lifetime. In contrast, trustworthy models allow identifying potential issues in early design stages.



OUTLINE

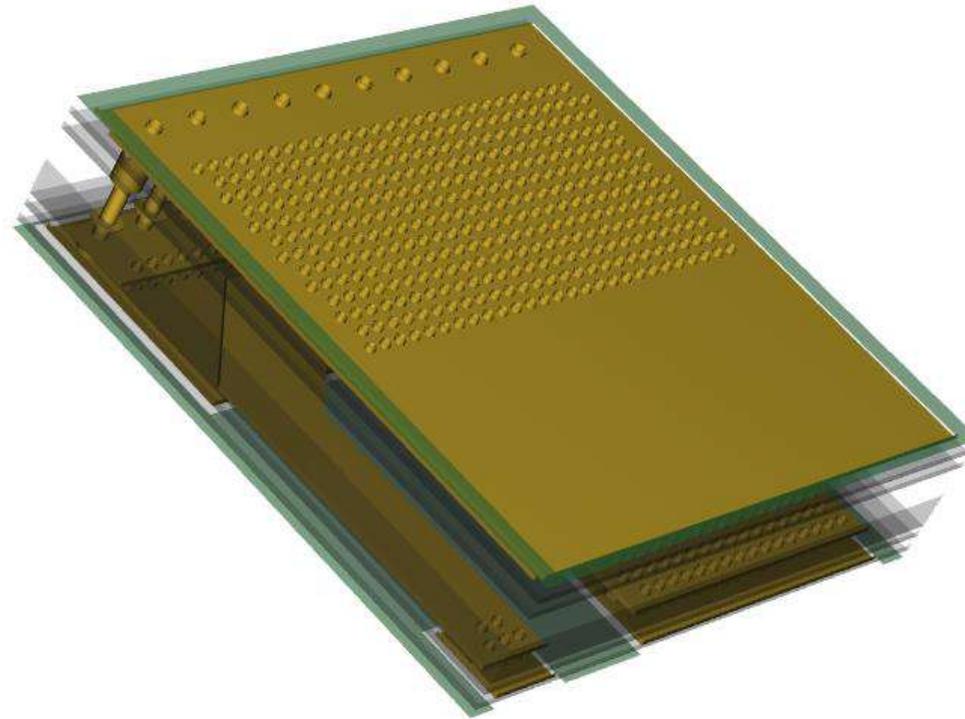
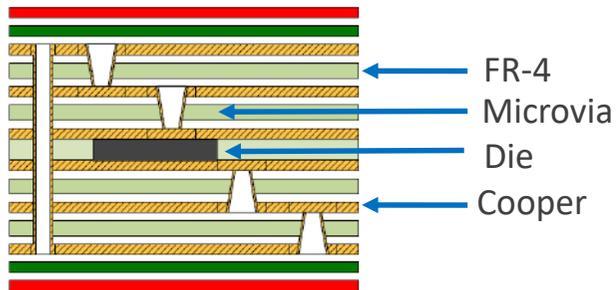
- Context
- Description of S-Parameters
- Development of test bench for characterization of parasitic elements
- Study case : Embedded PCB
- Conclusions and perspectives

STUDY CASE : EMBEDDED PCB

Study Case : Example of Embedded PCB Modeling



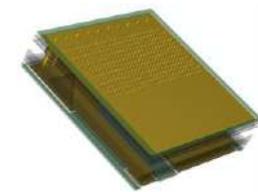
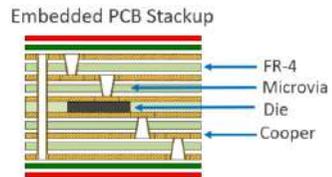
Embedded PCB Stackup



STUDY CASE : EMBEDDED PCB

Study Case : Example of Embedded PCB Modeling

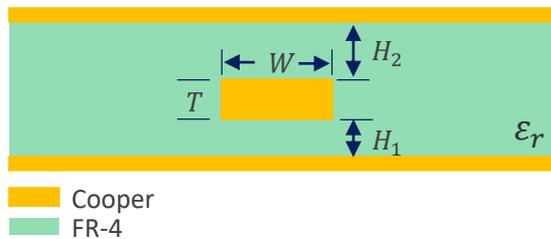
- Analytical approach based on striplines
- Preliminary model validation
- Model improvement by heuristic approach
- Experimental characterization
- Summary of results



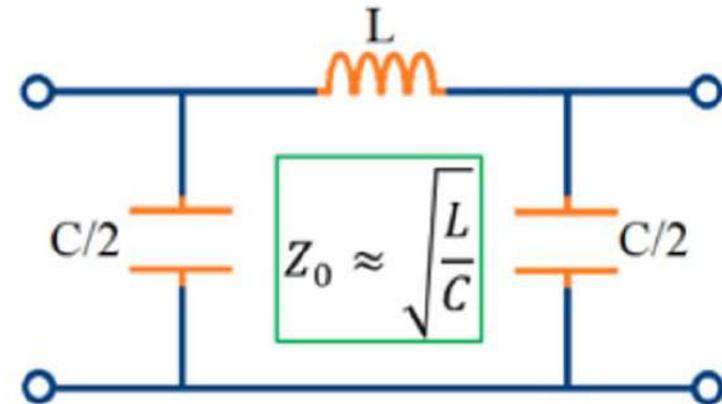
STUDY CASE : EMBEDDED PCB

Analytical Approach based on Asymmetric Stripline Impedance

Asymmetric Stripline Impedance



$$Z_0 = \sqrt{\frac{L_0}{C_0}} \rightarrow L_0 = Z_0^2 C_0$$

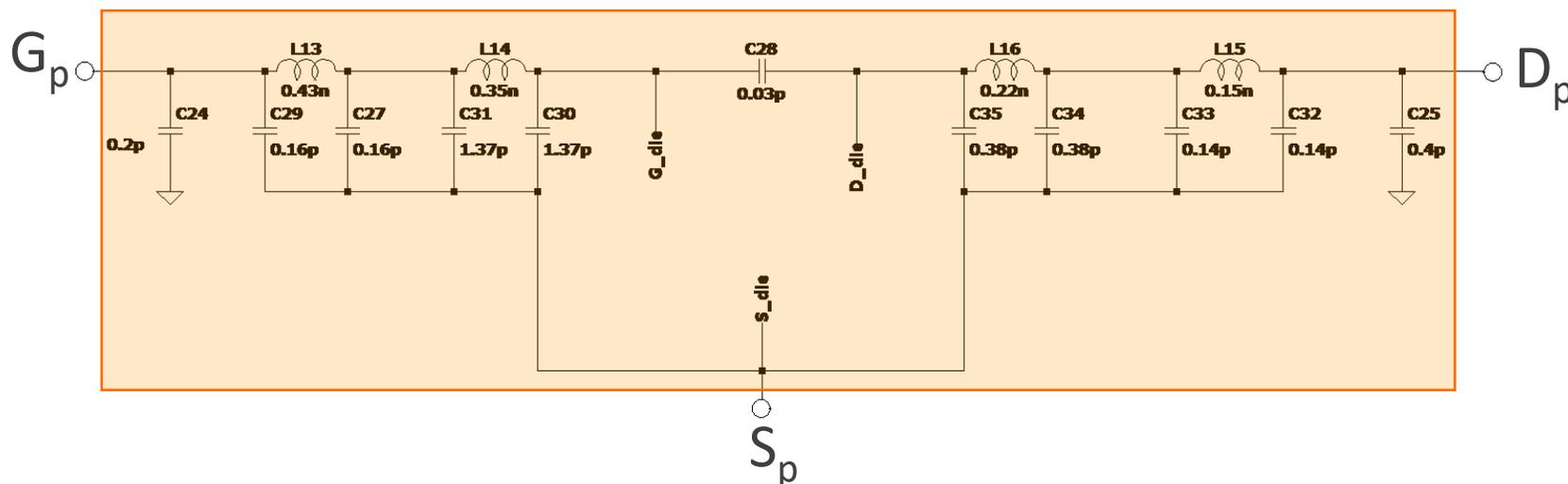
Asymmetric Stripline Impedance
Transmission Line PI-model

[5] Standard IPC-2141A, "Controlled Impedance Circuit Boards and High Speed Logic Design," 2004, Institute for Interconnection and Packaging Electronic Circuits.

Online calculator tools: <https://www.eeweb.com/tools/asymmetric-stripline-impedance/> <https://chemandy.com/calculators/rectangular-capacitor-calculator.htm>

STUDY CASE : EMBEDDED PCB

Parasitic Elements Model Using an Analytical Approach

*Nomenclature*

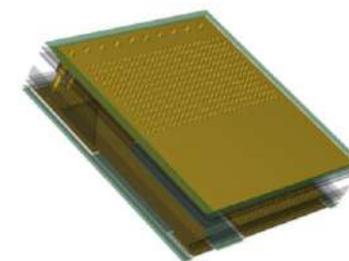
G_p = Gate package terminal

D_p = Drain package terminal

S_p = Source package terminal

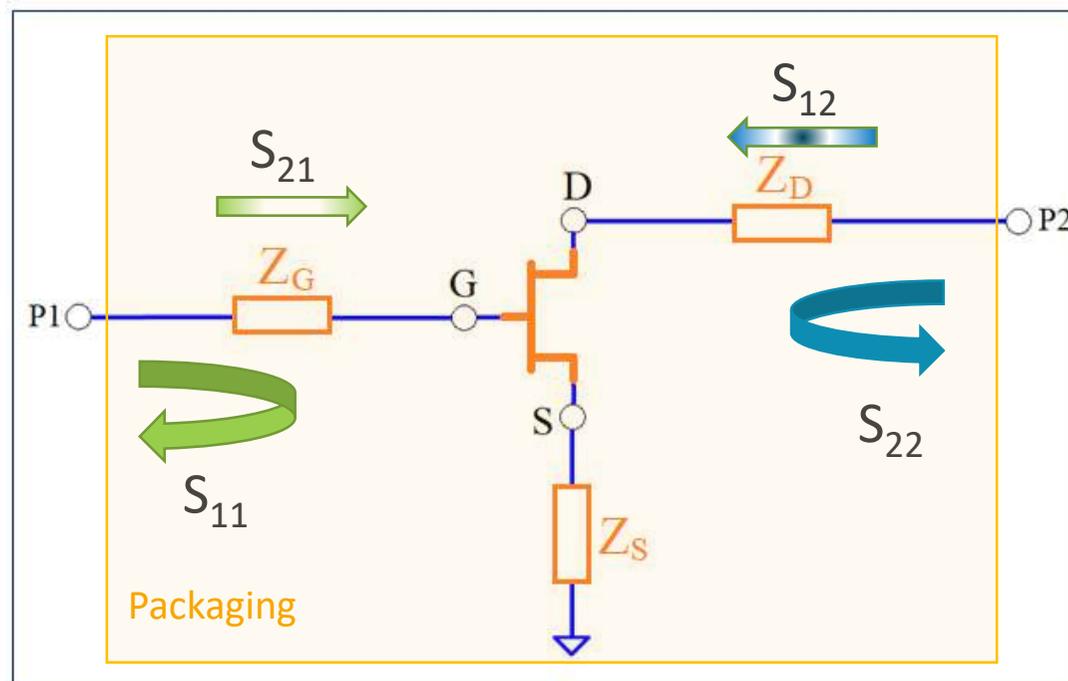
Observation: Not die inside

Parameter	Value	Parameter	Value
Capac. $G_p S_p$	3.2pF	Induc. $G_p S_p$	0.78nH
Capac. $D_p S_p$	1.4pF	Induc. $D_p S_p$	0.37nH
Capac. $G_p D_p$	0.03pF		



STUDY CASE : EMBEDDED PCB

Experimental Setup for Model Validation



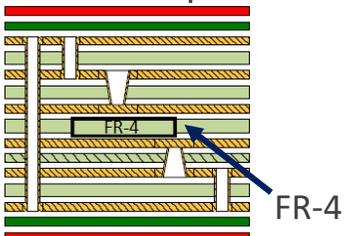
Source photo : CEA

S₁₁ is mainly associated to the GS terminal
S₂₂ is mainly associated to the DS terminal
S₂₁=S₁₂ mainly associated to the GD terminal

STUDY CASE : EMBEDDED PCB

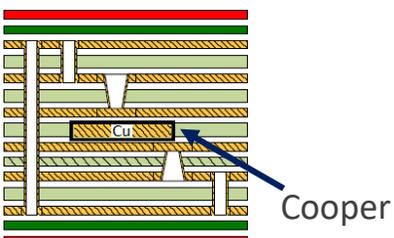
Experimental Setup for Model Validation

Layer stack – Open circuit

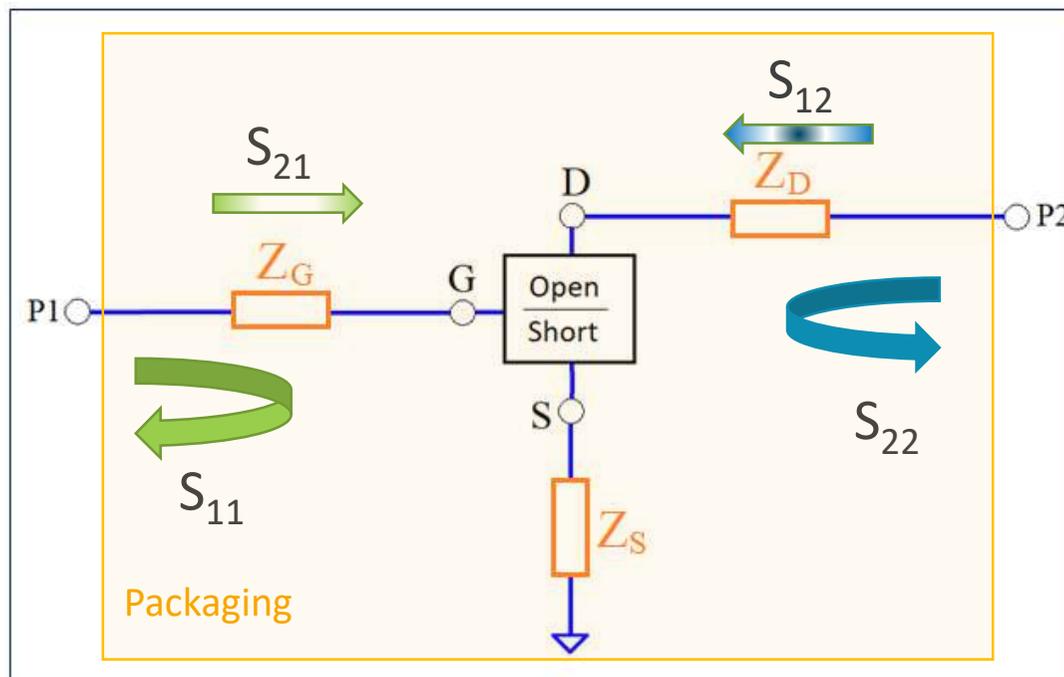


In open circuit the device is replaced by FR-4

Layer stack – Short circuit



In short circuit the device is replaced by a copper layer



*S₁₁ is mainly associated to the GS terminal
 S₂₂ is mainly associated to the DS terminal
 S₂₁=S₁₂ mainly associated to the GD terminal*

Test bench



Source photo : CEA

VNA

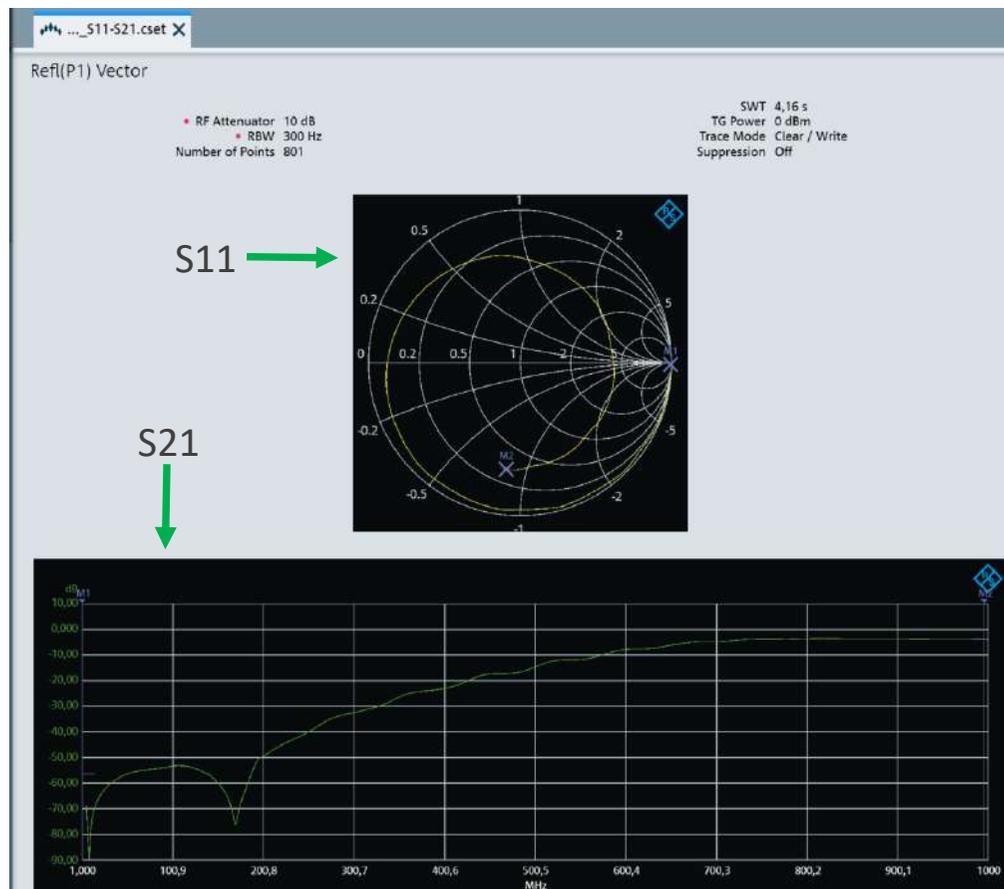
STUDY CASE : EMBEDDED PCB

S11-S21 measurements of E-PCB with VNA R&S ZVH8

Test bench



Source photo : CEA

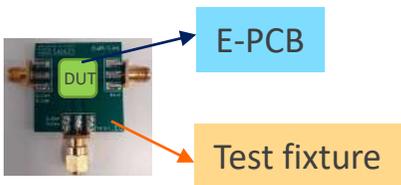
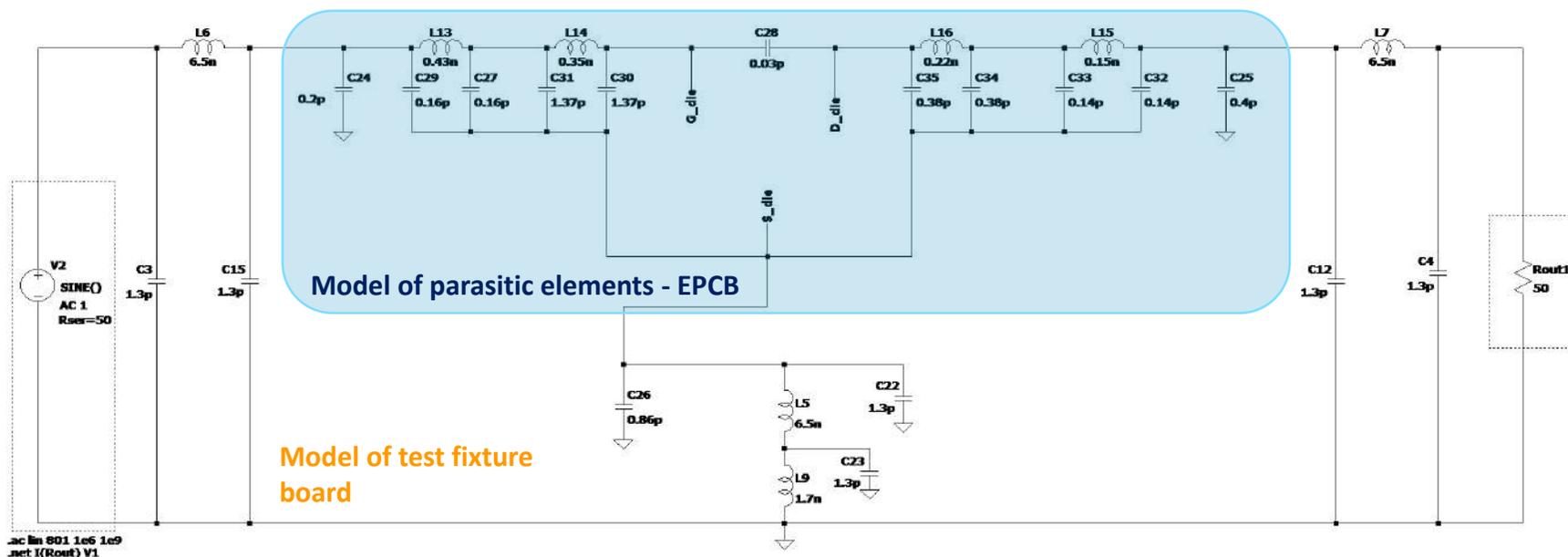


Test conditions

Parameters	Value
Start freq.	1 MHz
Stop freq.	1 GHz
Points	801
RF impedan.	50Ω

STUDY CASE : EMBEDDED PCB

Simulation of Preliminary Parasitic Elements Model in Test Fixture Board

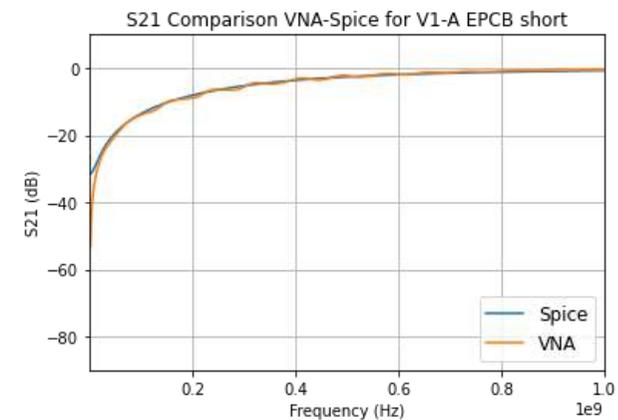
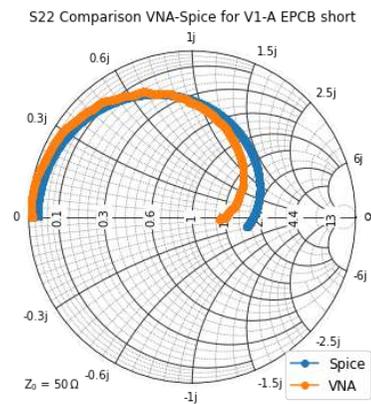
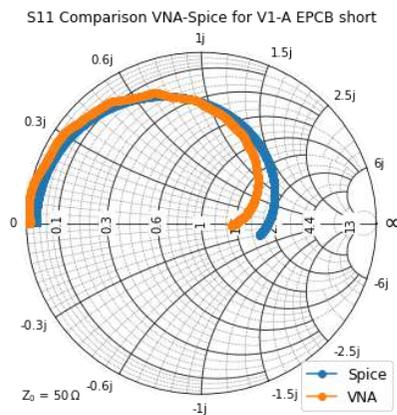
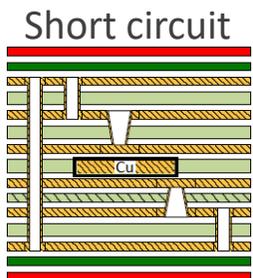
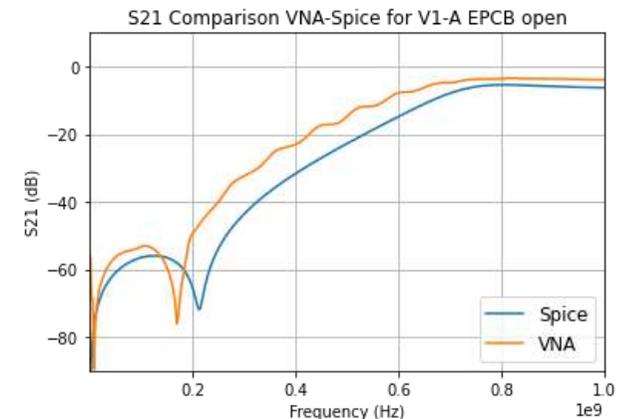
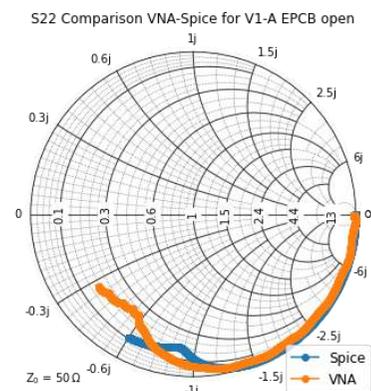
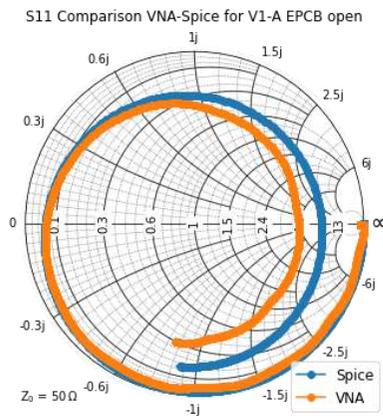
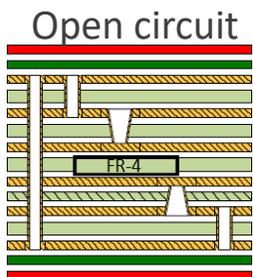


Parameter	Value	Parameter	Value
Capac. $G_p S_p$	3.2pF	Induc. $G_p S_p$	0.78nH
Capac. $D_p S_p$	1.4pF	Induc. $D_p S_p$	0.37nH
Capac. $G_p D_p$	0.03pF		

Nomenclature
 G_p = Gate package terminal
 D_p = Drain package terminal
 S_p = Source package terminal
Observation: Not die inside

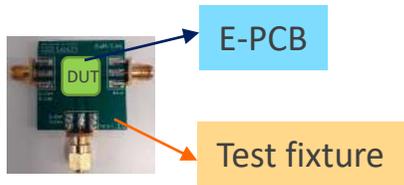
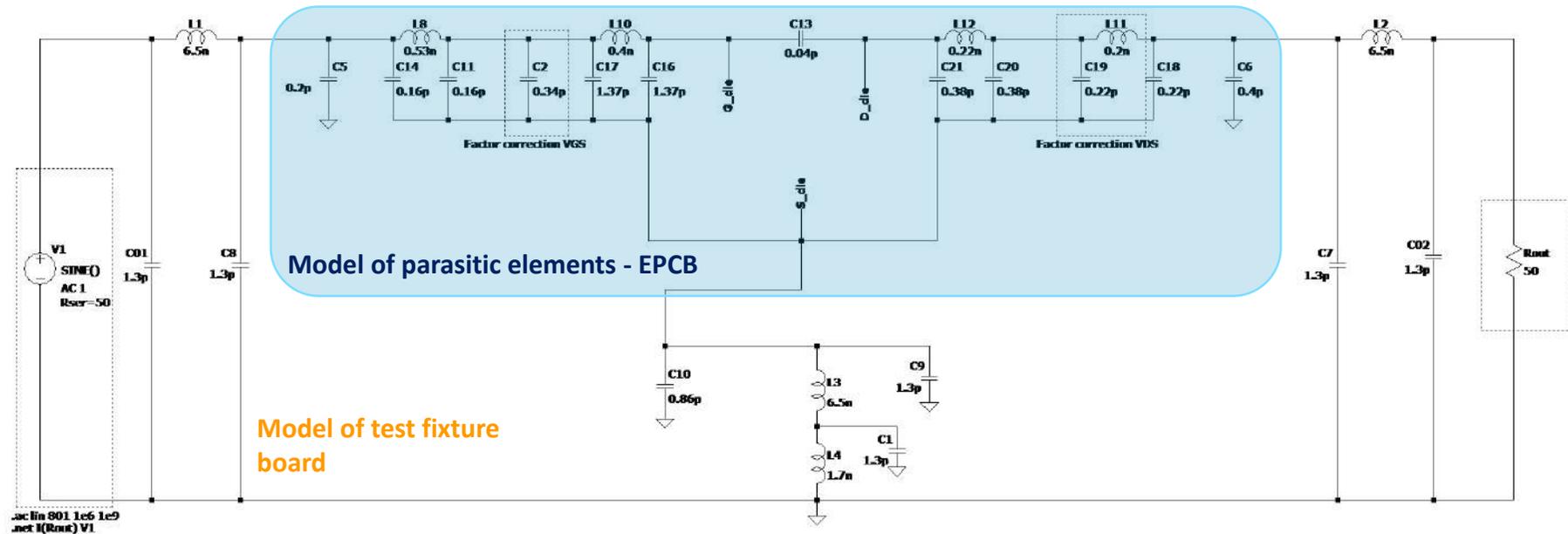
STUDY CASE : EMBEDDED PCB

Preliminary Model Validation



STUDY CASE : EMBEDDED PCB

Improvement of Parasitic Elements Model by Heuristic Parameters Search



Parameter	Value	Parameter	Value
Capac. $G_p S_p$	3.6pF	Induc. $G_p S_p$	0.93nH
Capac. $D_p S_p$	1.6pF	Induc. $D_p S_p$	0.42nH
Capac. $G_p D_p$	0.04pF		

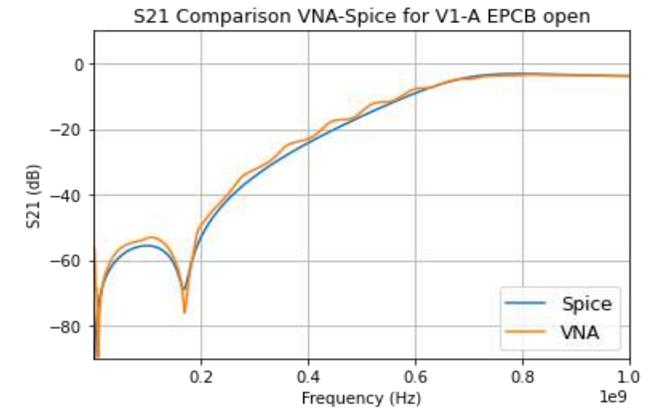
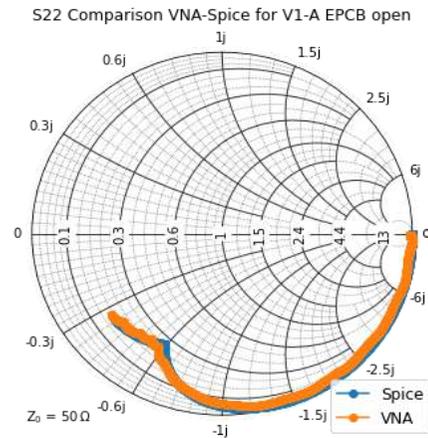
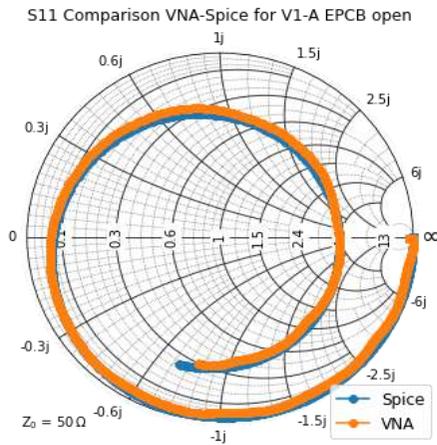
Nomenclature

G_p = Gate package terminal
 D_p = Drain package terminal
 S_p = Source package terminal
Observation: Not die inside

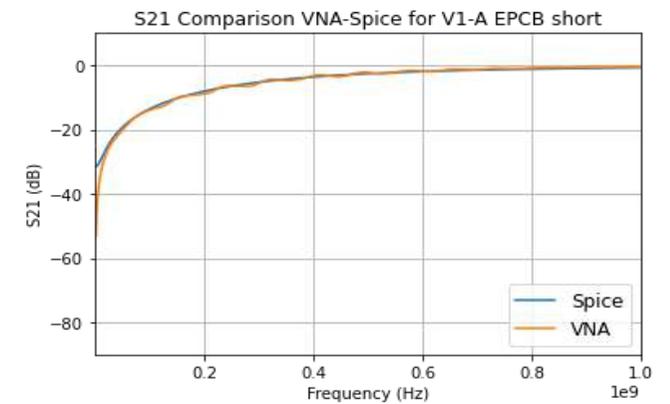
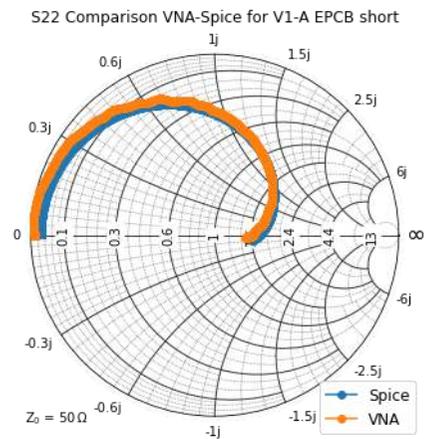
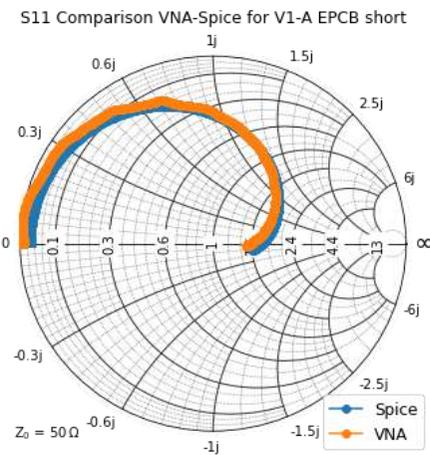
STUDY CASE : EMBEDDED PCB

Improvement of Parasitic Elements Model by Heuristic Parameters Search

Open circuit



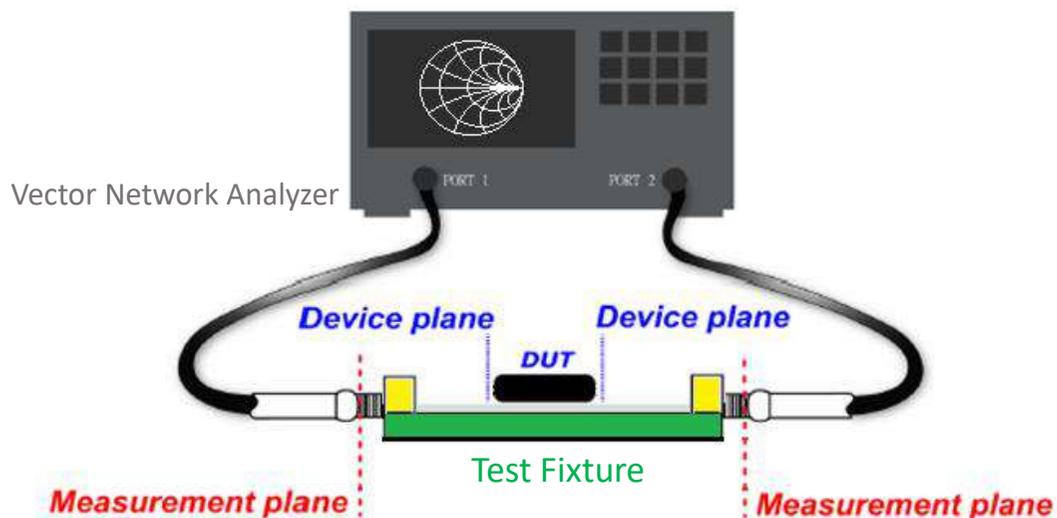
Short circuit



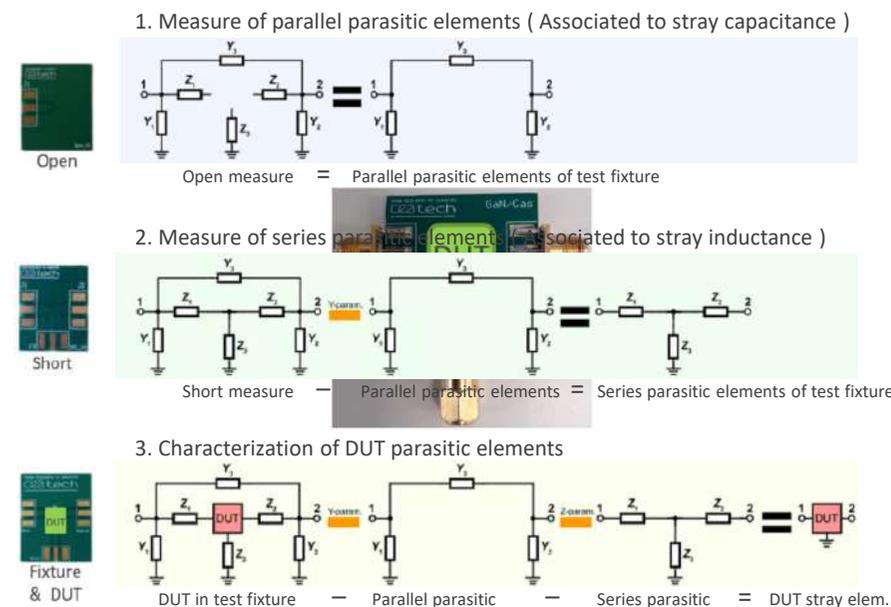
STUDY CASE : EMBEDDED PCB

Experimental Characterization of Parasitic Elements using the De-embedding Method

Structure for De-embedding measurements



De-embedded calibration [2][6]



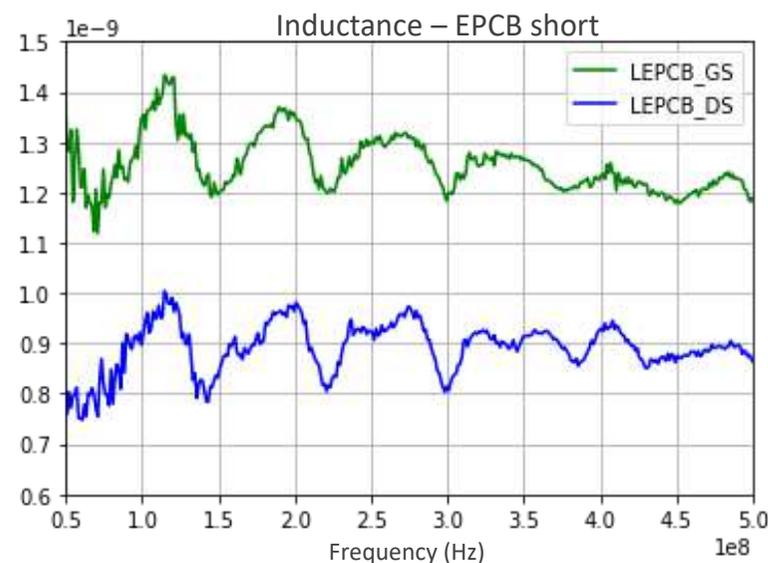
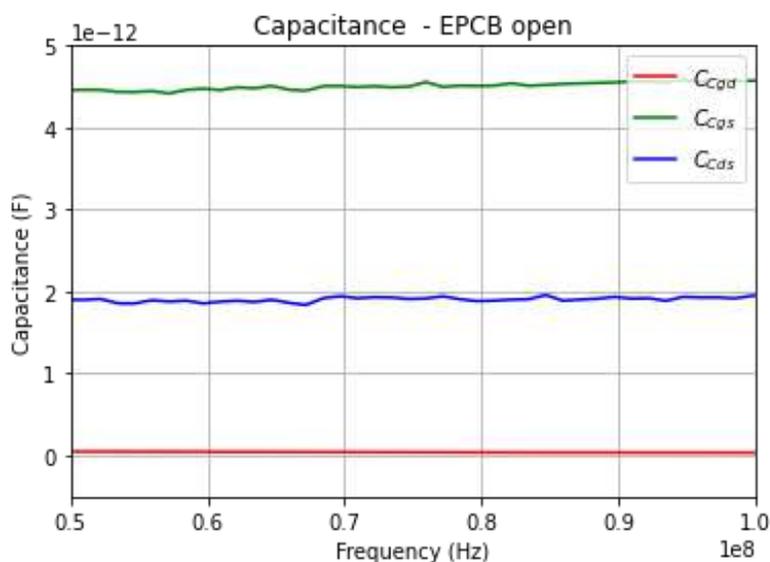
[2] L. Pace, "Caractérisation et Modélisation de Composants GaN pour la Conception de Convertisseurs Statiques Haute Fréquence" Thèse Doctorat, Université de Lille, 2019.

[6] De-embedding process : <https://scikit-rf.readthedocs.io/en/latest/tutorials/Deembedding.html>

STUDY CASE : EMBEDDED PCB

Experimental Characterization of Parasitic Elements using the De-embedding Method

Extracted parasitic inductance and capacitance using the De-embedding method



Nomenclature

G_p = Gate package terminal
 D_p = Drain package terminal
 S_p = Source package terminal
Observation: Not die inside

Parameter	Value	Parameter	Value (Avg)*
Capac. G_pS_p	4.5pF	Induc. G_pS_p	1.25nH
Capac. D_pS_p	1.9pF	Induc. D_pS_p	0.88nH
Capac. G_pD_p	0.03pF		

* Experimental setup still requires some accuracy improvement for measurements at picohenry level.



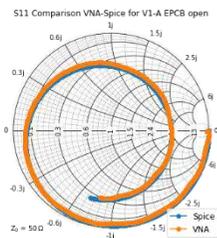
Source photo : CEA

STUDY CASE : EMBEDDED PCB

Summary of Results for EPCB (Short and Open Circuit)

Asymmetric stripline model and heuristic technique to improve accuracy

Capacitance		Inductance	
$G_p S_p$	3.6pF	$G_p S_p$	0.93nH
$D_p S_p$	1.6pF	$D_p S_p$	0.42nH
$G_p D_p$	0.04pF		

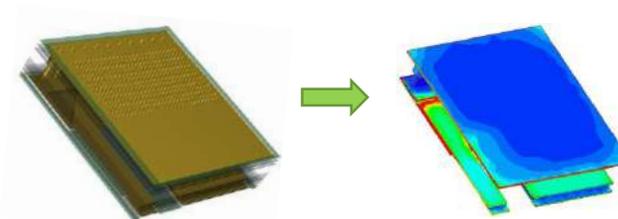


Calculation of package stray elements using multiphysics software

Capacitance		Inductance	
$G_p S_p$	4.02pF	$G_p S_p$	To Verify
$D_p S_p$	1.79pF	$D_p S_p$	0.37nH
$G_p D_p$	0.08pF		

De-embedding measurements with VNA

Capacitance		Inductance (avg)	
$G_p S_p$	4.5pF	$G_p S_p$	1.25nH
$D_p S_p$	1.9pF	$D_p S_p$	0.88nH
$G_p D_p$	0.03pF		



Nomenclature

G_p = Gate package terminal
 D_p = Drain package terminal
 S_p = Source package terminal
Observation: Not die inside

OUTLINE

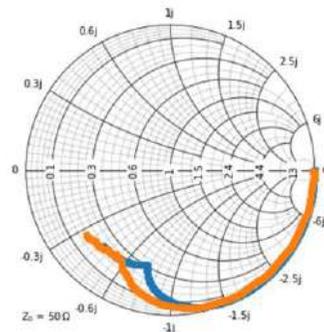
- Context
- Description of S-Parameters
- Development of test bench for characterization of parasitic elements
- Study case : Embedded PCB
- Conclusions and perspectives

Conclusions

- Integration of RF methodologies in the design flow of power electronics.
- Validation of proposed approach for the characterization of parasitic elements of EPCB packaging.
- Development of EPCB package model able for reliability studies.
- Use of S-parameters enables the dissociation of package and device behavior.

Perspectives

- To increase accuracy of the developed test bench and to include reliability study functionalities.
- Correlation of the RF characterization with the reliability test and failure analysis of EPCB.



Acknowledgments

- ✓ ELVIA PCB Group
- ✓ STMicroelectronics

- ✓ Université Toulouse III - Paul Sabatier, Master in Electronics and Telecommunications (ESET)
- ✓ Ecole d'Ingénieurs de Limoges, ENSIL-ENSCI, Specialty in Electronics and Telecommunications

THANK YOU FOR YOUR ATTENTION



Centre Français Fiabilité

Contacts CFF : cff@nae.fr

Samuel CUTULLIC
François BOUVRY



Geoffroy MARTIN
Pierre DE BOUCAUD



Severine COUPE



Notre site internet :

Centre-francais-fiabilite

Notre compte LinkedIn :

[Centre-francais-fiabilite](https://www.linkedin.com/company/Centre-francais-fiabilite)