



Fiabilité et robustesse des Mosfet SiC: Vieillissement accéléré

Mounira Berkani

Laboratoire SATIE

Webinar 02 Février 2021



école normale supérieure paris-saclay



Plan et introduction

Vieillessement et fiabilité des systèmes intégrés de puissance

- Méthodologies et Etudes du vieillissement
- Compréhension des mécanismes physiques de dégradation
- Etablissement des lois de dégradations et de durée de vie (modélisations)

Problématiques abordées au SATIE sur le SiC

- Premières génération JFET « normaly ON » → vers le MOSFET SiC

- ✓ Caractérisation (thermique et électrique)
- ✓ Robustesse sous régime extrême (CC, avalanche)

✓ Vieillessement accéléré:

1- Régime extrême répétitif

2- Power cycling

✓ **Vieillessement accéléré:**

1- Régime extrême répétitif

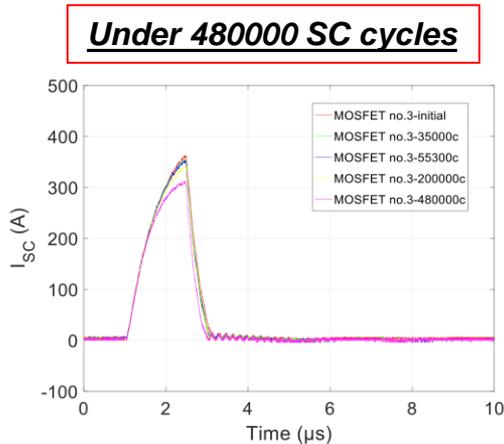
2- Power cycling

Viellissement accéléré sous court-circuit répétitif

Pertinence des indicateurs

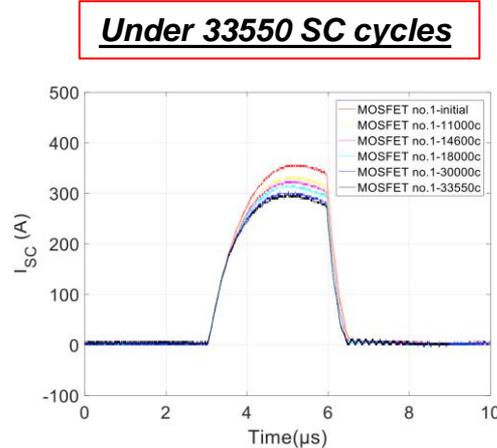
Monitoring de: I_{SC} , I_{GSS} , I_{DSS} , R_{DSON} , V_{TH} , (Discret MOSFET CREE 1.2 kV - C2M0040120D)

Evolution de I_{SC} pendant le vieillissement à différentes énergies dissipées



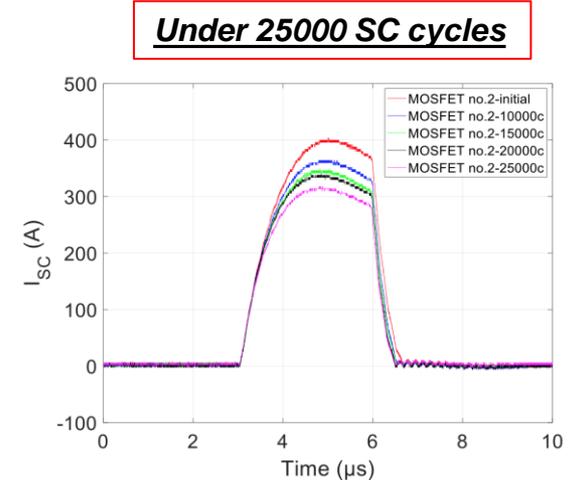
SC Energy = 0,27 J

Max. junction temperature = 640°C



SC Energy = 0,55 J

Max. junction temperature = 1000°C



SC Energy = 0,62 J

Max. junction temperature = 1225°C

On note ici :

- Une diminution progressive du courant de court-circuit (et donc de l'énergie dissipée)

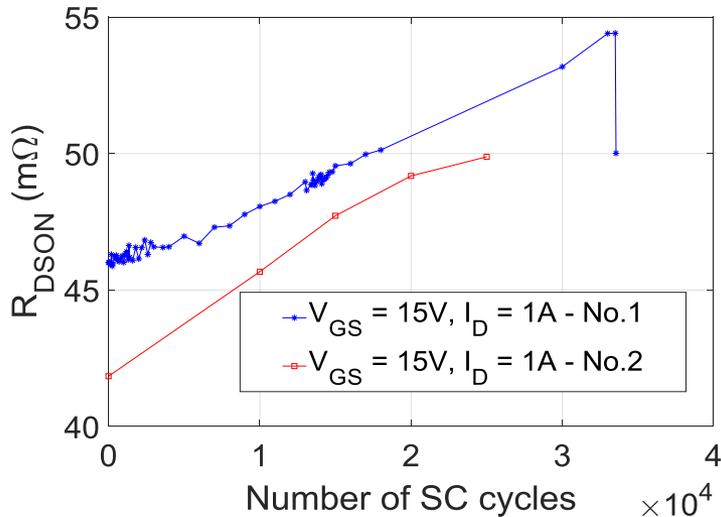
Phénomène observé avec les composants Si : Reconstruction de la métallisation

Viellissement accéléré sous court-circuit répétitif À différentes énergies dissipées

Evolution de R_{DSON} pendant le vieillissement (Agilent Tracer)

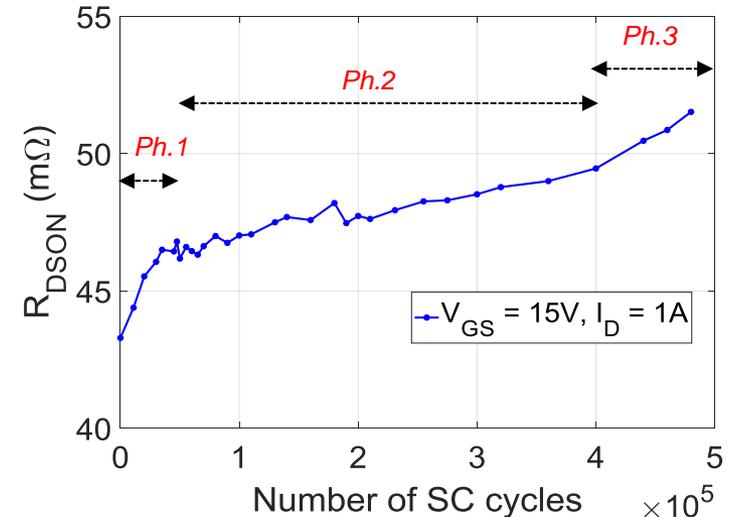
Condition de mesure de R_{DSON} : $V_{GS} = 15V$, and $I_D = 1A$

DUT : #1 ($E_{SC} = 0.55 J$) & #2 ($E_{SC} = 0.62 J$)



Linear evolution of R_{DSON} :
20 % increase

DUT : #3 ($E_{SC} = 0.27 J$)



Evolution split in three different phases :
20% increase

Augmentation d'autant plus rapide que l'énergie dissipée est élevée

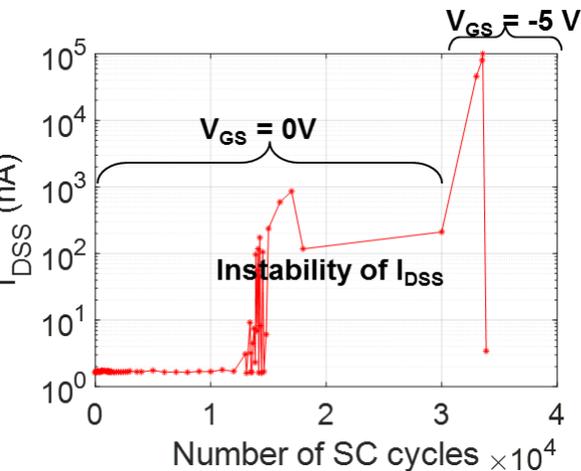
+20% d'augmentation ($V_{GS} = 15V$) : Reconstruction de la métallisation d'aluminium

Viellissement accéléré sous court-circuit répétitif À différentes énergies dissipées

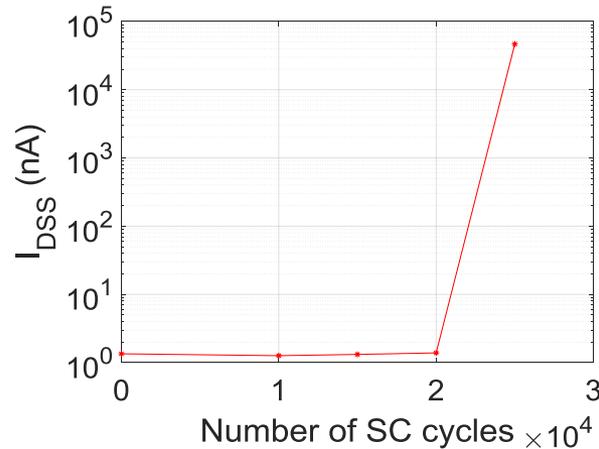
Evolution de I_{DSS} pendant le vieillissement (Agilent Tracer)

Condition de mesure de I_{DSS} : $V_{DS} = 1.2 \text{ kV}$, $V_{GS} = -5\text{V}$

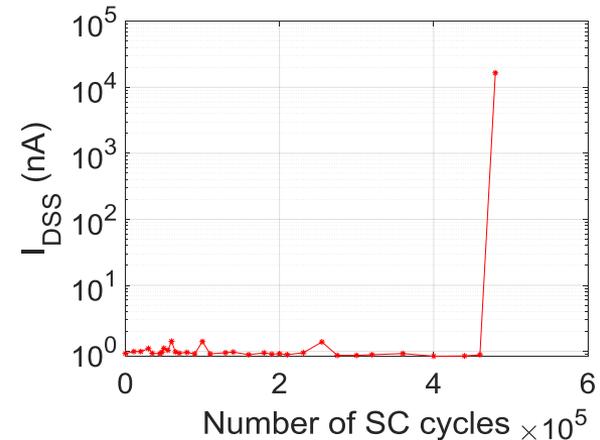
DUT : **No.1** , 0,55 J



DUT : **No.2**, 0,62J



DUT : **No.3**, 0,27J



- La mesure du courant de fuite de drain (I_{DSS}) fortement dépendante de la polarisation de la grille (après vieillissement)
- Forte augmentation du courant de fuite juste avant la défaillance.

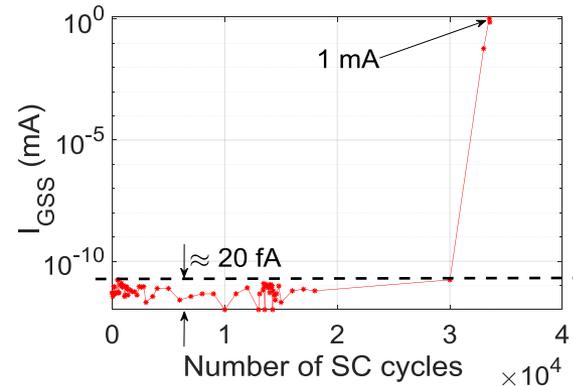
Viellissement accéléré sous court-circuit répétitif À différentes énergies dissipées

Evolution du I_{GSS} pendant le vieillissement (Keithley Source-meter)

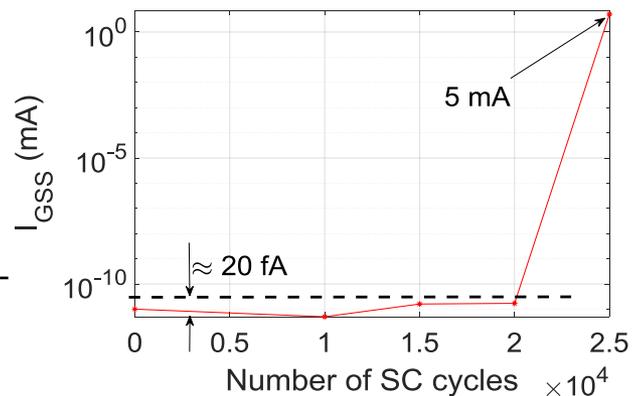
Condition de mesure du I_{GSS} : $V_{GS} = 15V$, $V_{DS} = 0V$,

Chaque point de mesure : 1h

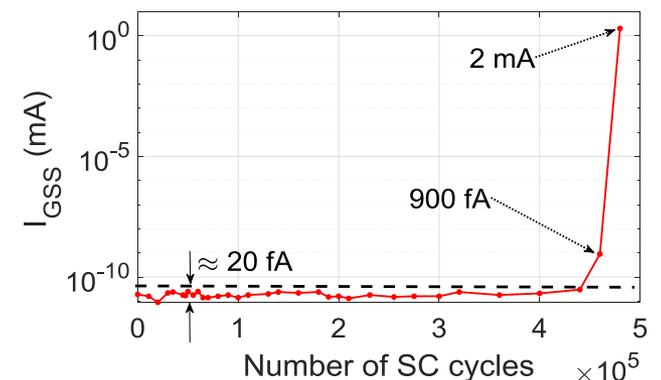
DUT : No.1 , 0,55 J



DUT : No.2, 0,62J



DUT : No.3, 0,27J



Faible valeur de I_{GSS} , environ 20 fA tout le long du test de cyclage

DUT No.3 : Augmentation de 900 fA détectée avant la défaillance

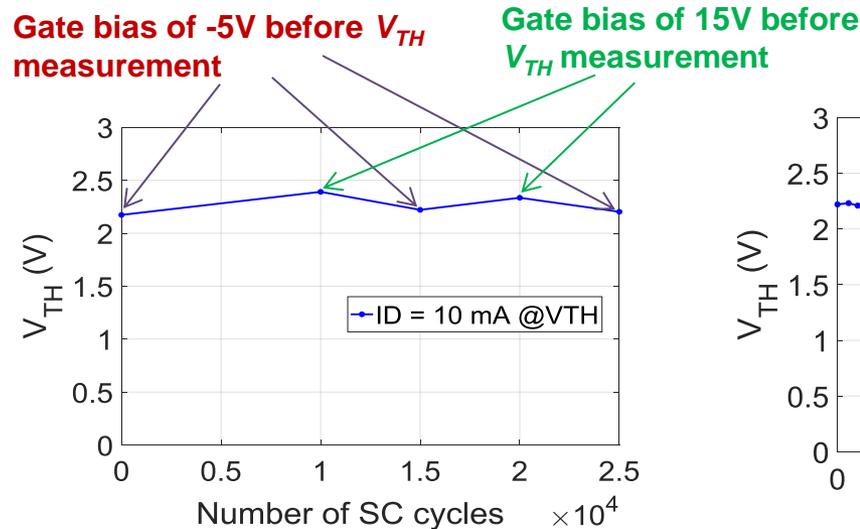
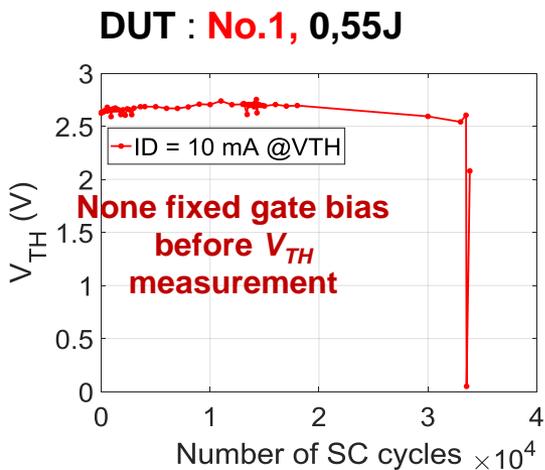
→ Peut être relier aux propriétés de la couche d'oxyde et/ou de l'interface SiC/SiO₂?

Viellissement accéléré sous court-circuit répétitif À différentes énergies dissipées

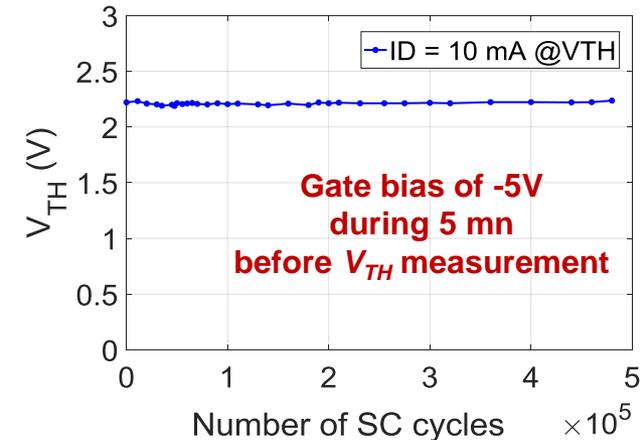
Evolution du V_{TH} pendant le vieillissement (Agilent Tracer)

Conditions de mesure du V_{TH} : $V_{DS} = V_{GS}$, $I_D (@ V_{TH}) = 10\text{mA}$

DUT : No.2, 0,62J



DUT : No.3, 0,27J



[Nguyen1_2018]

- Mesure de V_{TH} dépend fortement de la tension appliquée sur la grille avant la caractérisation (-5V pendant 5mn)
- Pas d'évolution de V_{TH} en cours de vieillissement

Vieillessement accéléré sous court-circuit répétitif À différentes énergies dissipées

Synthèse : Evolution des indicateurs de vieillissement

DUT	Dissipated Energy (J)	N_F (number of cycles until failure)	T_J max initial, °C	V_{TH} ($V_{DS} = V_{GS}$, I_D (@ V_{TH}) = 10mA)	R_{DSON} increase (%) ($V_{GS}=15V$, $I_D=1A$)	I_{DSS} ($V_{GS}=-5V$, $V_{DS}=1,2kV$)	I_{GSS} ($V_{GS}=15V$, $V_{DS}=0V$)
#1	0.55	33,550	1000	Constant	18.2 %	3.43 nA	1 mA
#2	0.62	25,000	1225	Constant	19.2 %	46.7 μ A	5 mA
#3	0.27	480,000	639	Constant	19.0%	16.5 μ A	2 mA

- Résistance à l'état passant et courant de CC augmentent progressivement
- Evolution des courants de fuite I_{DSS} et I_{GSS} juste avant la défaillance



Indicateurs Pertinents

- V_{TH} et I_{DSS} : mesure fortement dépendante de la polarisation de la grille avant ou pendant la caractérisation

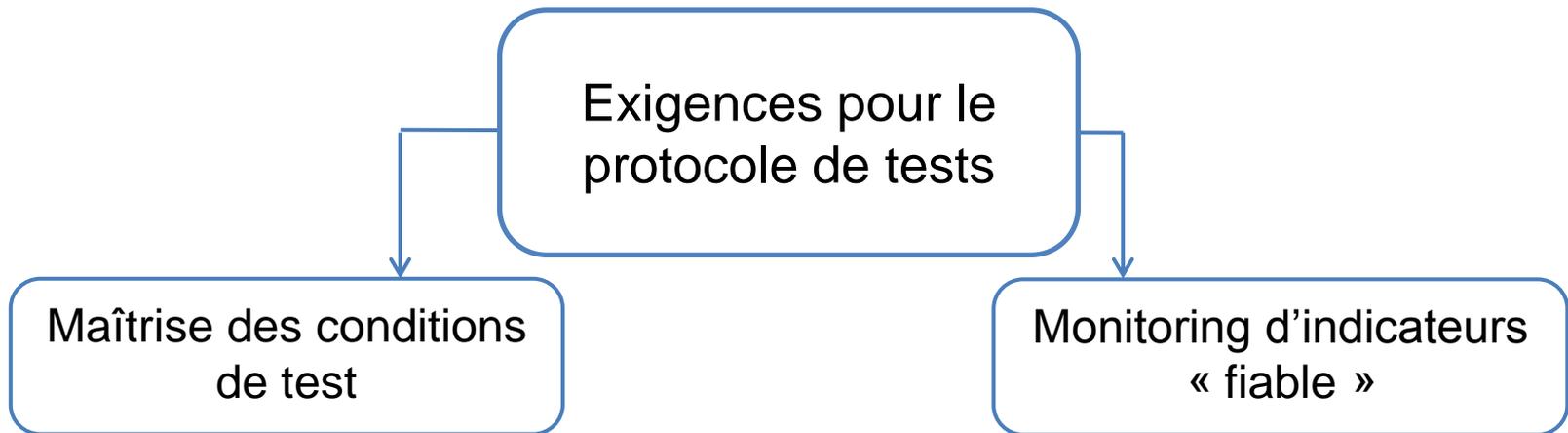
✓ **Vieillessement accéléré:**

1- Régime extrême répétitif

2- **Power cycling**

Vieillissement accéléré par power cycling

Problème : quel protocole de power cycling pour les MOSFETs SiC ?



- Stabilité de ΔT_j et T_{jref}
- Mesure fiable de T_j
(*mesure indirect de la $T^\circ C$, TSEP ?*)

- V_{ds} , R_{dson} ,
(*Evolution uniquement due au vieillissement & irréversibilité des dégradations*)

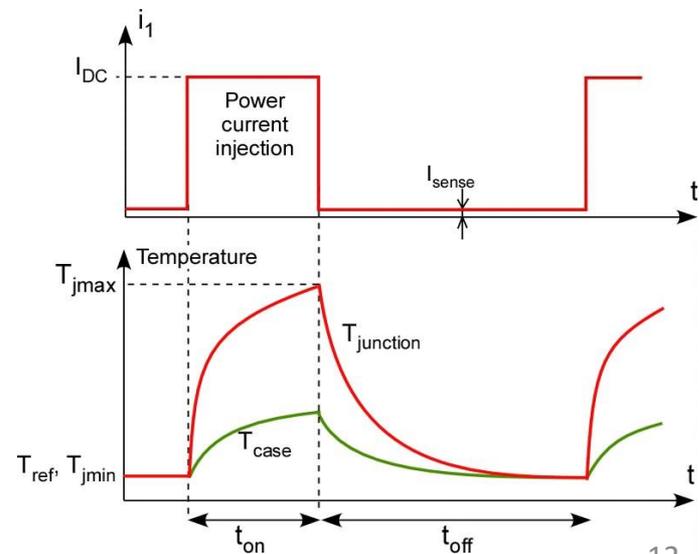
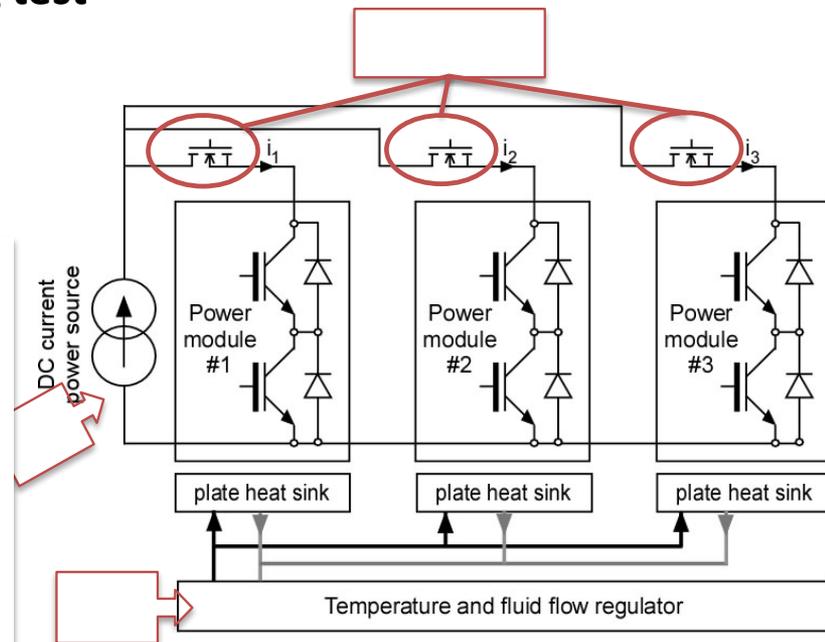
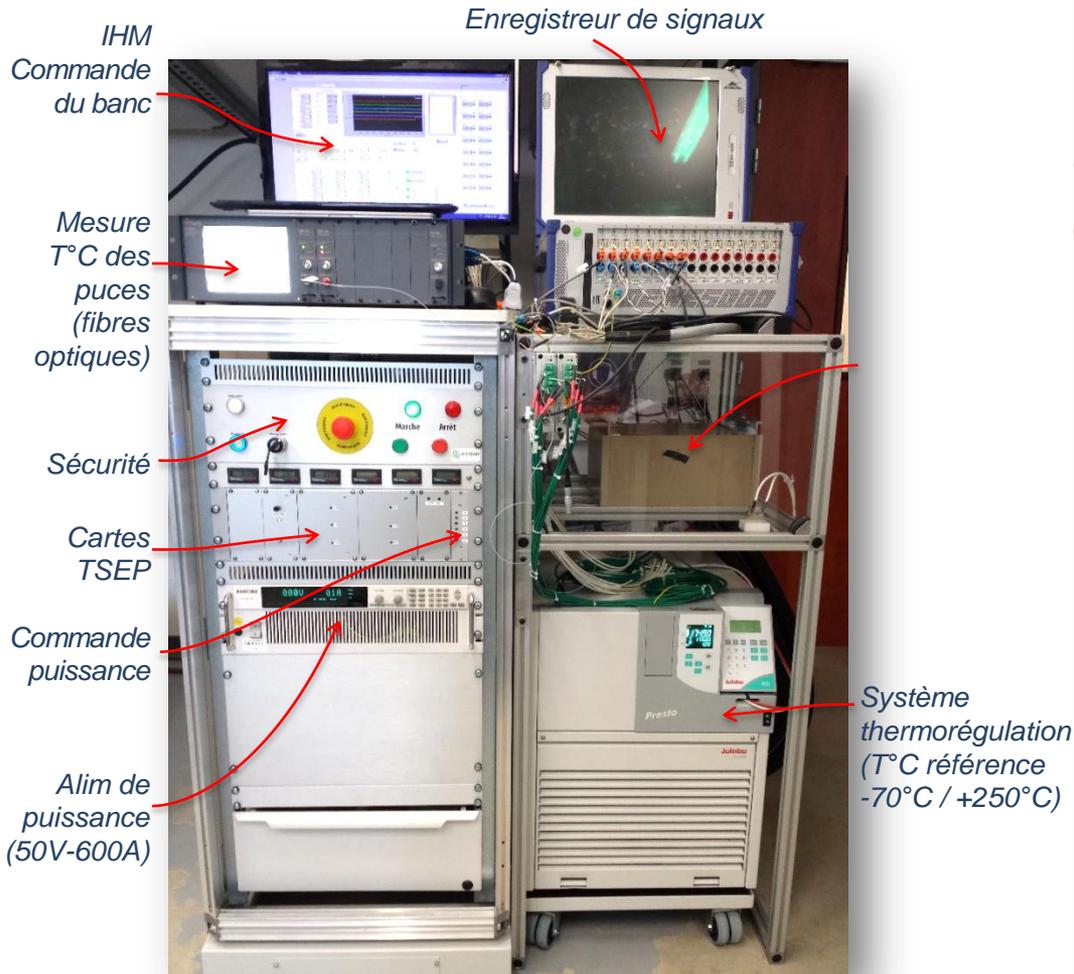
Viellissement accéléré par power cycling

DC Power cycling test

Tester le stress thermique uniquement
(pertes de conduction)

Paramètres de sorties: V_{DS} , V_{TH} , T_J , ΔT_J , T_{jmax} , T_{jmin} , ...

Indicateurs: V_{DS} (+5%), R_{TH} (+20%)

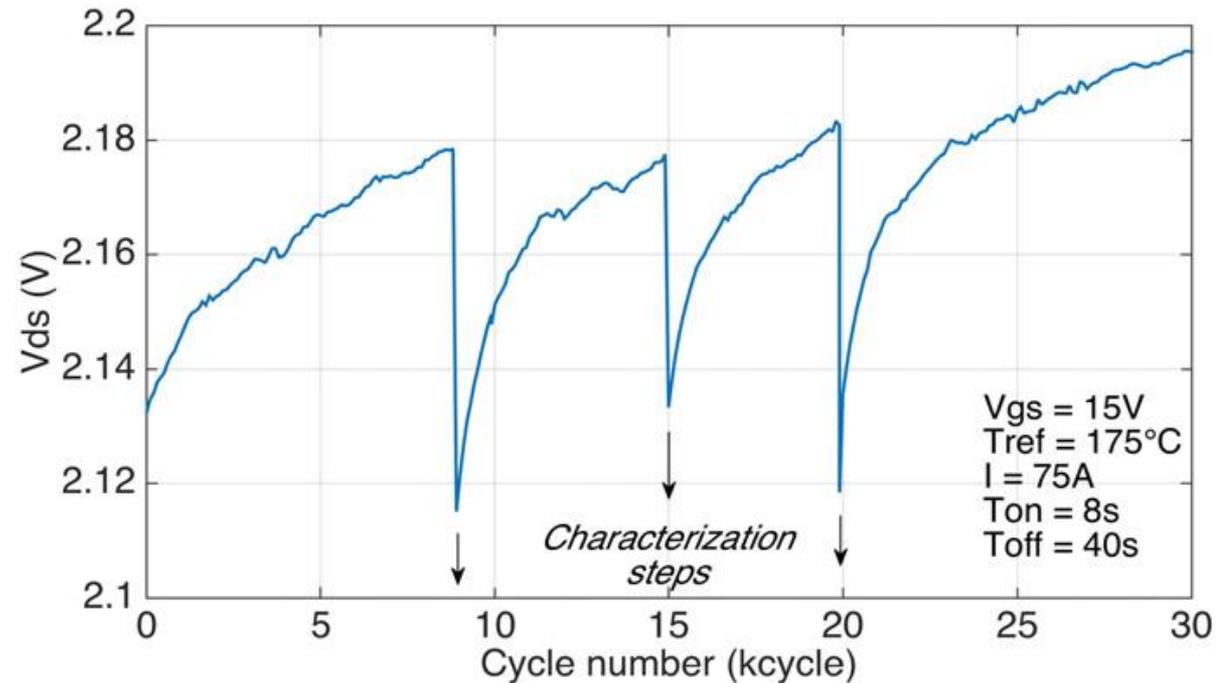
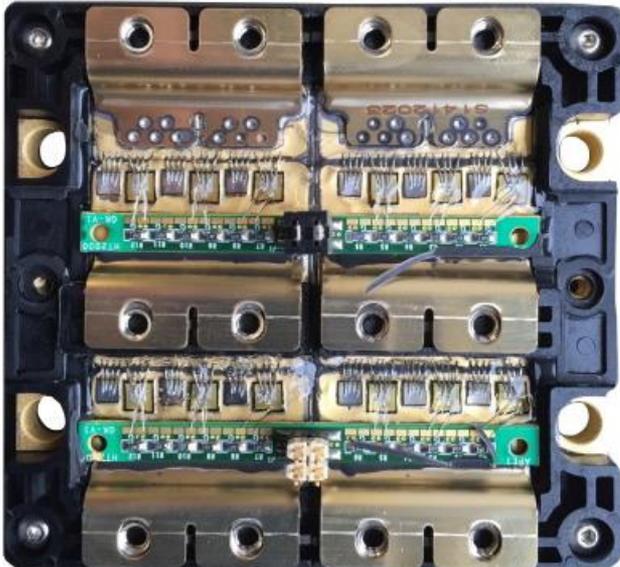


Viellissement accéléré par power cycling

DC Power cycling test

→ Dérive des paramètres de sorties : indicateurs de vieillissement non fiables

Module MOSFET SiC (APEI Inc.)
1200V- 225A @25°C, $T_{jmax}=225^\circ\text{C}$,
2^{ème} génération



- Tests en haute température ($T_j = 175^\circ\text{C}$) → piégeage/dé-piégeage des charges
- Problèmes:
 - Maîtrise des conditions de test, indicateurs de vieillissement
 - Mesure On-line impossible!!

Viellissement accéléré par power cycling

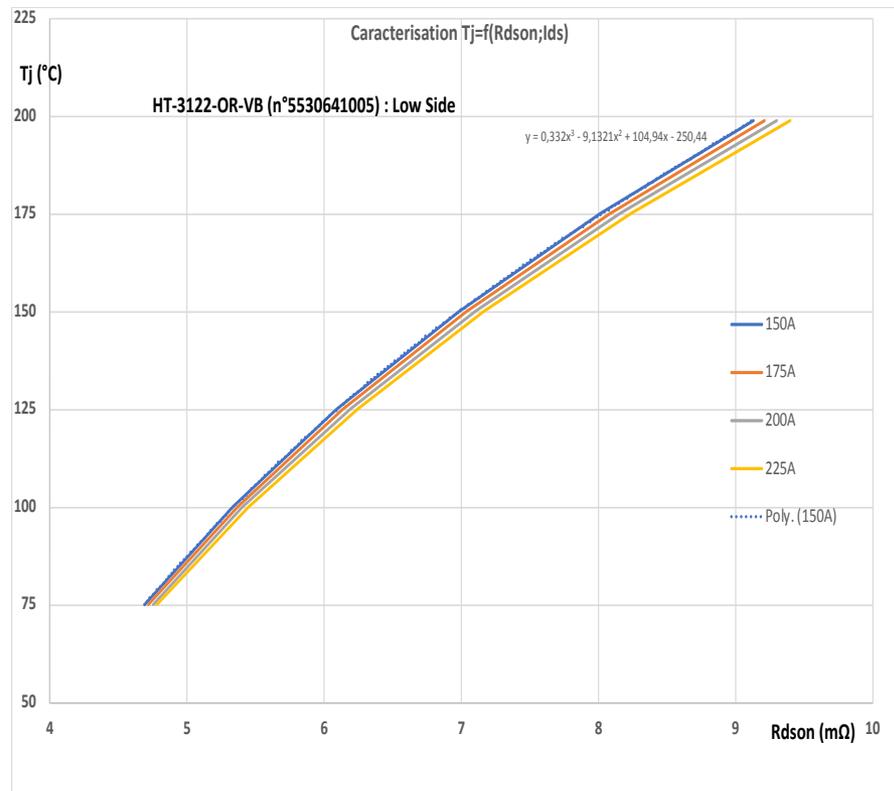
DC Power cycling test

→ Dérive des paramètres de sorties : indicateurs de vieillissement non fiables

Difficulté de la mesure de T_j

En l'absence de diodes antiparallèles: mesure par diode body, sinon R_{dson} à fort courant

$$T_j = f(R_{dson}, I_d)$$



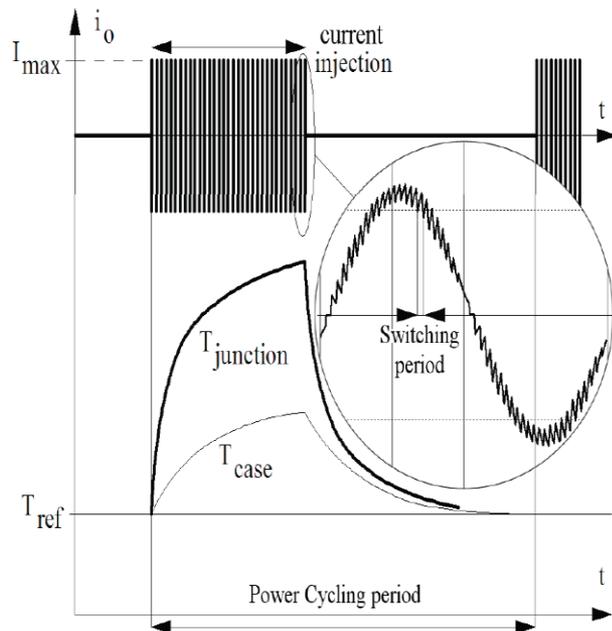
Viellissement accéléré par power cycling

→ Nécessité de recourir à du vieillissement par cycle de puissance en mode MLI

From ON/OFF tests

.....

to very complex cycles



Cycles complexes avec:

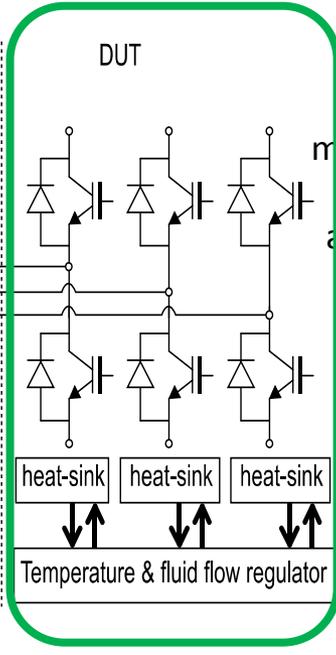
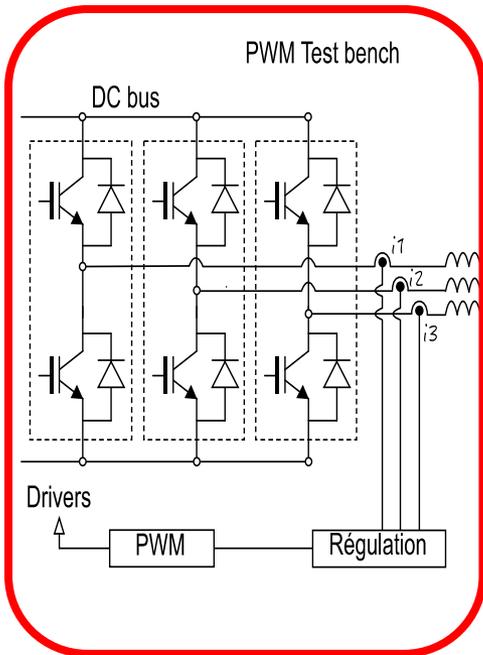
- Fréquences variables
- Rapport cyclique variable
- Courant, amplitude, sans alternance on/off, ...

- Les changements de polarisations successifs de V_{GS} , réduisent les effets de piégeage...
- De plus, le protocole de test lors des mesures de paramètres réduit autant que possible les effets de piégeage

Viellissement accéléré par power cycling

PWM Power cycling test

Travaux en cours:
 3eme gén. MOSFET SiC
 PWM en profil complexe



measurement acquisition system

Thermo-regulator

Cooling system

Conclusion

MOSFET SiC, composants déjà sur le marché mais:

- Pas de protocole de test “standard” en power cycling
- Pas de retour suffisant sur la robustesse vis-vis de power cycling
- Instabilité du V_{th} considérablement réduit entre la 1er et la 3eme génération: évolution en cours de la technologie
- PWM cycles complexes: plus réaliste mais comment interpréter les mécanismes?

Merci de votre attention

Vieillesse accélérée par power cycling

Instabilité de V_{TH} accentuée à haute température

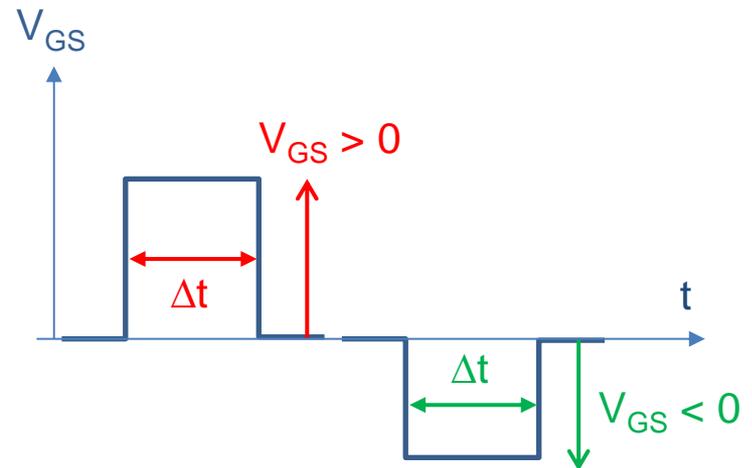
→ Piégeage /de-piégeage de charge dans l'oxyde de grille

Trapping effects → PBTS

Detrapping effects → NBTS

These effects depend on :

1. Sign of V_{GS}
 - $V_{GS} > 0$ → PBTS (*positive shifts on V_{th}*)
 - $V_{GS} < 0$ → NBTS (*negative shifts on V_{th}*)
2. V_{GS} stress magnitude
3. Duration of applied V_{GS} stress
4. Temperature (*significant effects for $T > 150^\circ\text{C}$*)



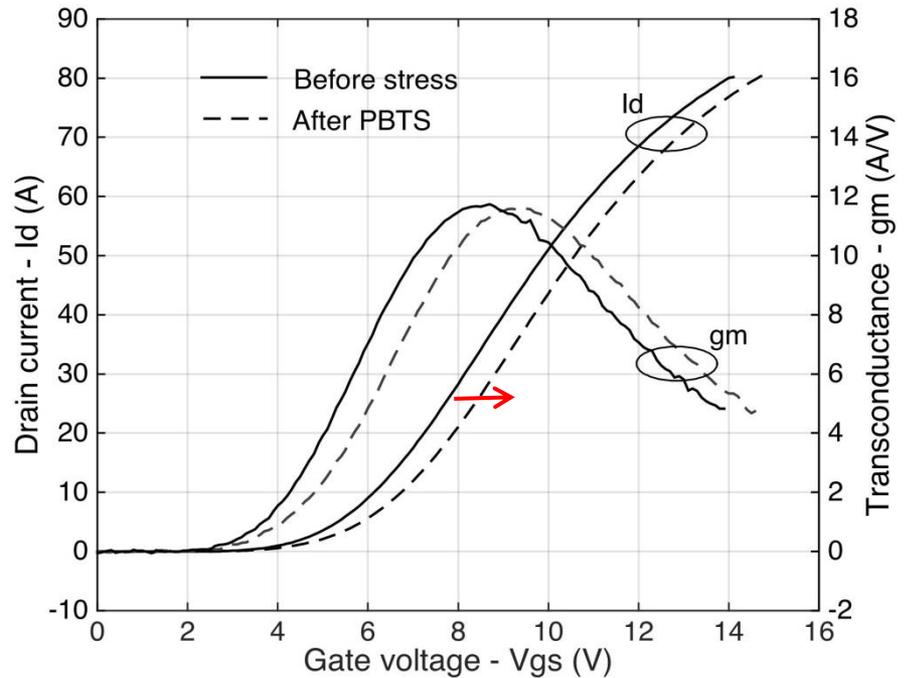
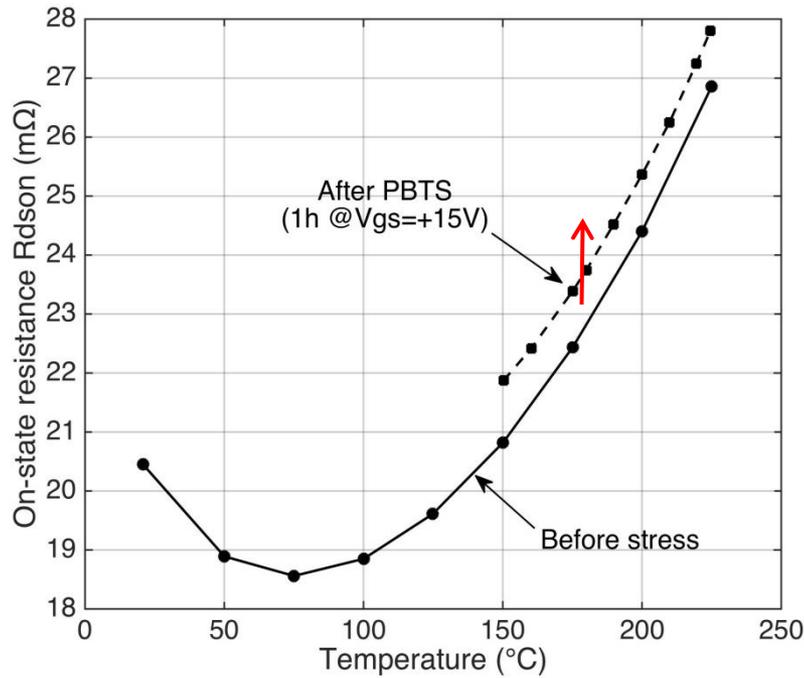
Reversible mechanisms – not due to ageing

Viellissement accéléré par power cycling

Instabilité de V_{TH} accentuée à haute température

Example of measured effects on a SiC-Mosfet high power module (1.2kV-220A) designed for 225°C case temperature

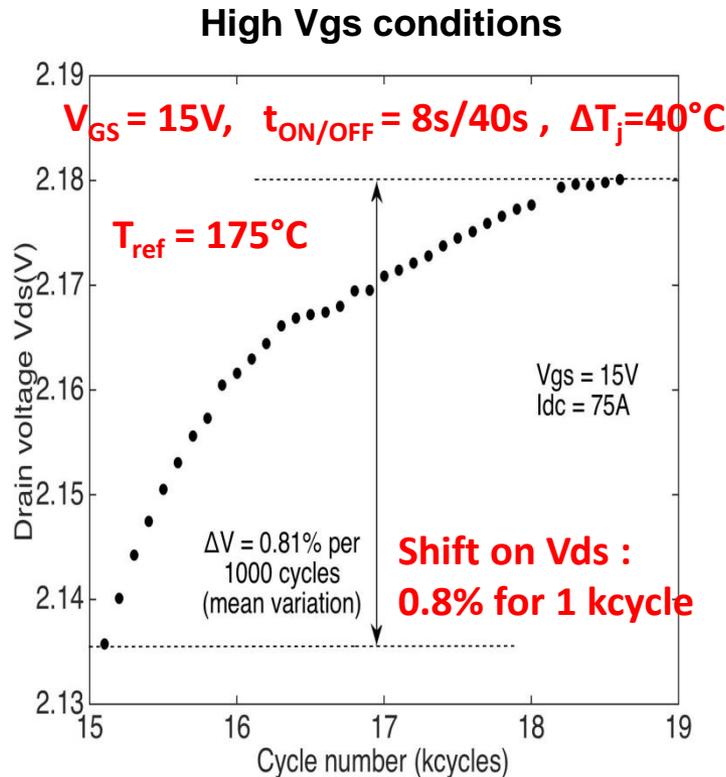
→ Impact of 1h V_{gs} stress (+15V) at 175°C



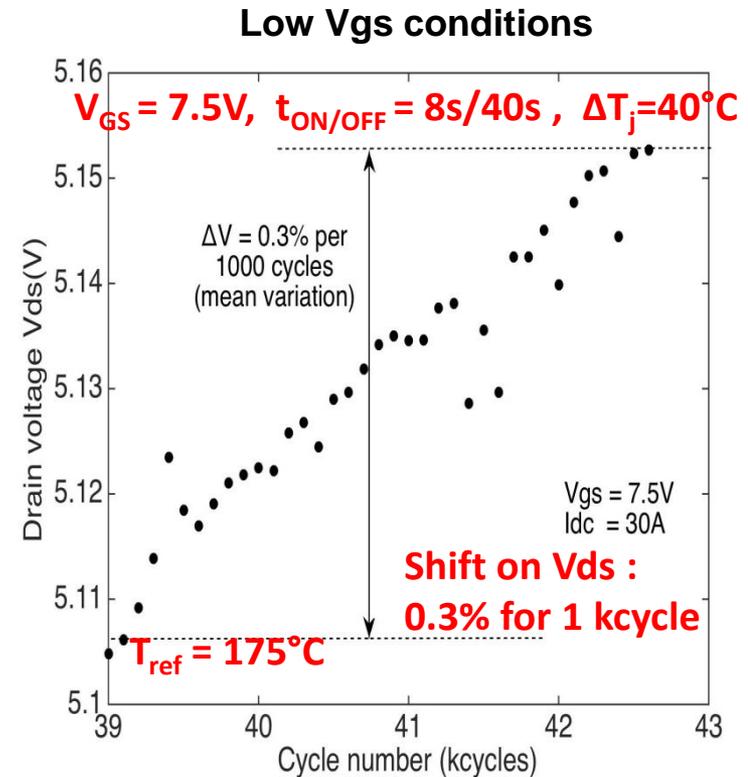
Viellissement accéléré par power cycling

DC Power cycling test

→ Dérive des paramètres de sorties : indicateurs de vieillissement non fiables



Drain voltage shift during power cycles *Essentially due to high trapping effects*



Drain voltage shift during power cycles *Essentially due to high sensitivity of the DC operating point*