



Webinar - 3 novembre 2020

## Robustesse du Mosfet SiC en régime extrême de court-circuit

### Propriétés, modes de défaillance et protection

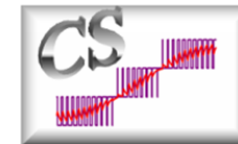
*Frédéric Richardeau*

*LAPLACE*

*CNRS – Université Toulouse INP*



[frederic.richardeau@laplace.univ-tlse.fr](mailto:frederic.richardeau@laplace.univ-tlse.fr)



Team Static Converters  
Power electronics  
for an efficient & innovative  
energy conversion



Université  
de Toulouse

# Plan

1) Propriétés, applications et structures du **Mosfet SiC**

2) Régime accidentel de **court-circuit (out-SOA)**

3) **Robustesse et modes de défaillance : particularités**

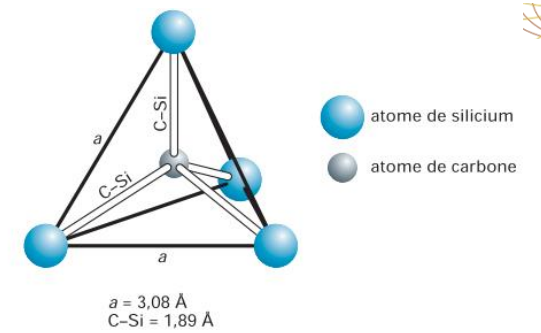
4) **Protection rapide dédiée WBG**

*Bibliographie complète :*

[https://scholar.google.fr/citations?hl=fr&user=3Vvd0SYAAAAJ&view\\_op=list\\_works&sortby=pubdate](https://scholar.google.fr/citations?hl=fr&user=3Vvd0SYAAAAJ&view_op=list_works&sortby=pubdate)

1) Propriétés physiques - électroniques @300K

Suffisant ?  
Non ... SiO<sub>2</sub>, Al, ... Si<sub>3</sub>N<sub>4</sub> ... !  
(CTE ...)



Matériau	$E_g$ (eV)	$n_i$ (cm <sup>-3</sup> )	$\epsilon_r$	$\mu_n$ (cm <sup>2</sup> · V <sup>-1</sup> · s <sup>-1</sup> )	$E_{br}$ (MV/cm)	$v_{sat}$ (10 <sup>7</sup> cm · s <sup>-1</sup> )	$\lambda$ (W · cm <sup>-1</sup> · K <sup>-1</sup> )	Gap (2)
Si	1,1	$1,5 \times 10^{10}$	11,8	1 350	0,2	1,0	1,5	I
Ge	0,66	$2,4 \times 10^{15}$	16,0	3 900	0,1	0,5	0,6	I
GaAs	1,4	$1,8 \times 10^6$	12,8	8 500	0,4	2,0	0,5	D
GaN	3,39	$7,7 \times 10^{-1}$	11,1	1 000	5,0	1,4	0,8	I
GaN-3C	3,27	$8 \times 10^{-9}$	9,9	1 000	1	2,5	1,3	D
GaN-2H	3,39	$1,9 \times 10^{-10}$	9,0	900	3,3	2,5	1,3	D
SiC-3C	2,2	6,9	9,6	900	1,2	2,0	4,5	I
SiC-4H	3,26	$8,2 \times 10^{-9}$	10	600 ( <sup>±c</sup> ) 750 (  c)	2,0	2,0	4,5	I
SiC-6H	3,0	$2,3 \times 10^{-6}$	9,7	370 ( <sup>±c</sup> ) 50 (  c)	2,4	2,0	4,5	I
Diamant	5,45	$1,6 \times 10^{-27}$	5,5	1 900	5,6	2,7	20	I
BN	6,0	$1,5 \times 10^{-31}$	7,1	5	10	1,0	13	I
AlN	6,1	$\sim 10^{-31}$	8,7	1 100	11,7	1,8	2,5	D

(1) Dopage de 10<sup>15</sup> à 10<sup>16</sup> cm<sup>-3</sup>  
(2) D : direct ; I : indirect

$n_i$  (cm<sup>-3</sup>) : concentration de porteurs (électrons) intrinsèques dans le semi-conducteur à une température donnée

$\mu_n$  (cm<sup>2</sup> · V<sup>-1</sup> · s<sup>-1</sup>) : mobilité des porteurs (électrons)

$v_{sat}$  (cm · s<sup>-1</sup>) : vitesse de saturation des électrons accélérés par champ électrique dans un semi-conducteur

$\lambda$  (W · cm<sup>-1</sup> · K<sup>-1</sup>) : conductivité thermique

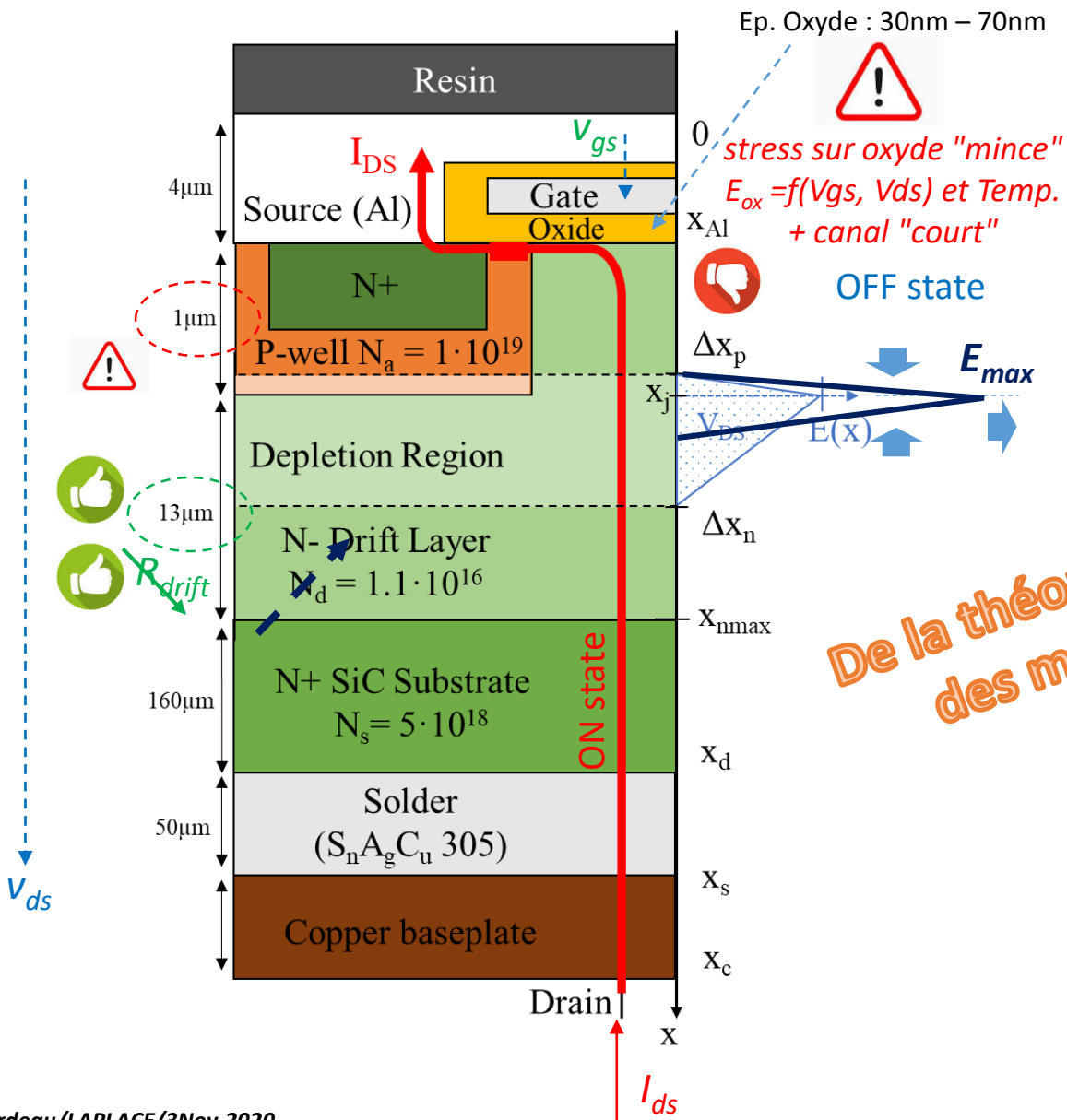
VS  
x3 à x10

tenue en température

résistivité et tenue en tension

diffusivité thermique

# 1) Lien avec les performances du composant (ex. Mosfet SiC vs Si) et les stress principaux



De la théorie à la pratique ...  
 des marges de gain ...

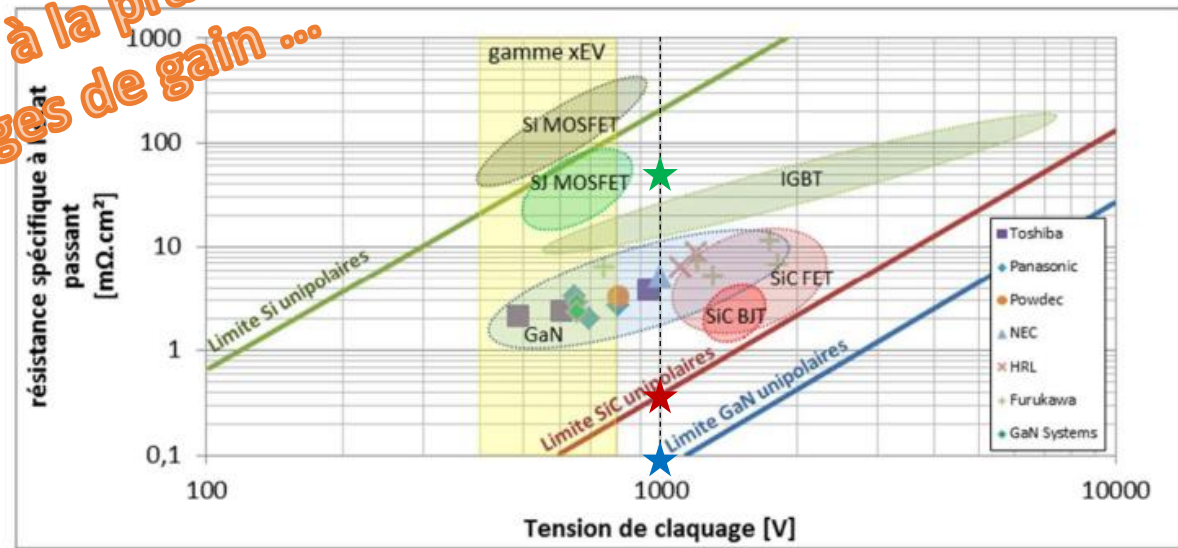
$$\frac{E_{ox}}{E_{SiC}} = \frac{\epsilon_{SiC}}{\epsilon_{ox}}$$

alternative au SiO<sub>2</sub>? ... et aussi la tenue mécanique ...  
 (High-k material ...)

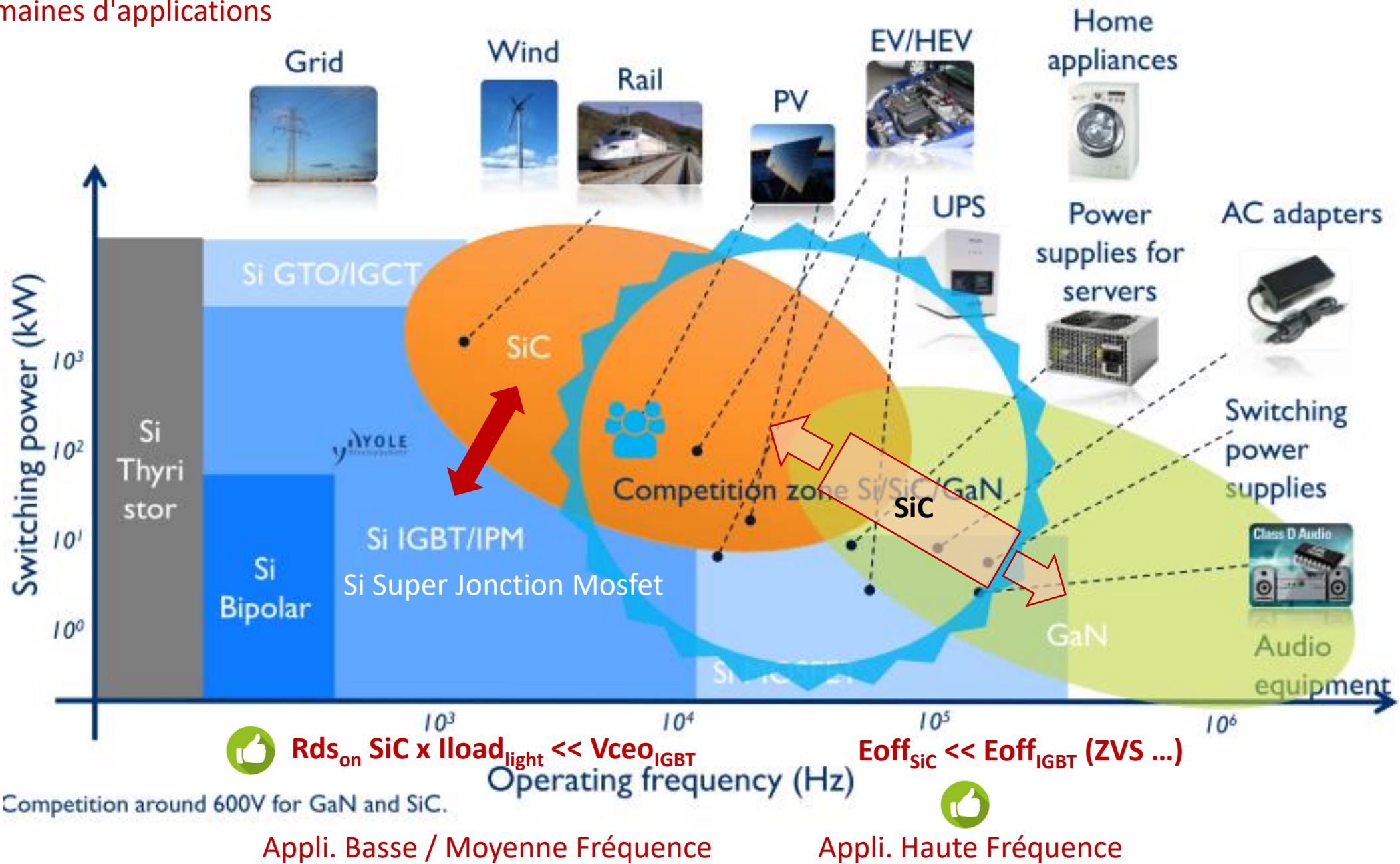
$$R_{specific\ drift} [\Omega \cdot cm^2] = 4 * \frac{V_{BR}^2}{\mu_N \epsilon_0 \epsilon_r E_c^3}$$

$$E_{switching} [J] = \frac{1}{2} * V * I * \frac{Q_G\ tri-tfv}{i_{G\_Drive}}$$

+ composant unipolaire à porteurs majoritaires

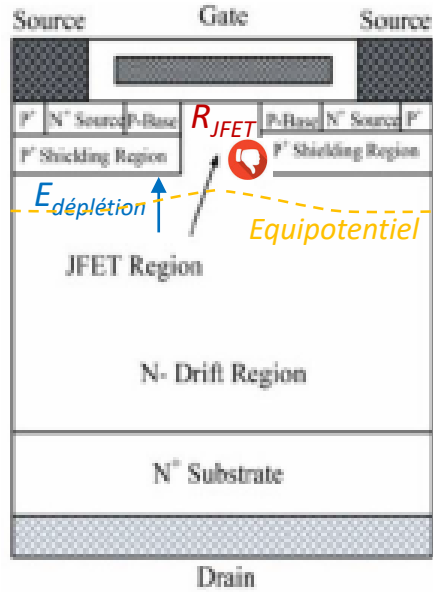


# 1) Domaines d'applications



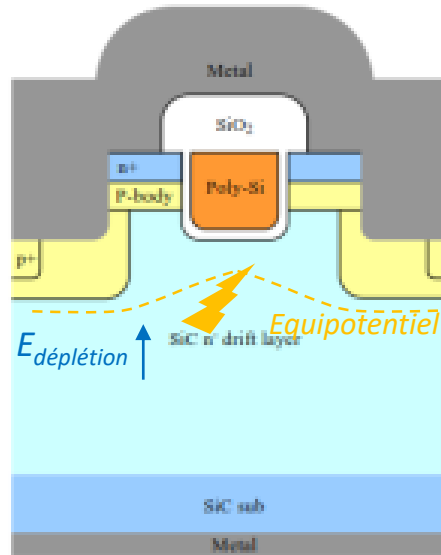
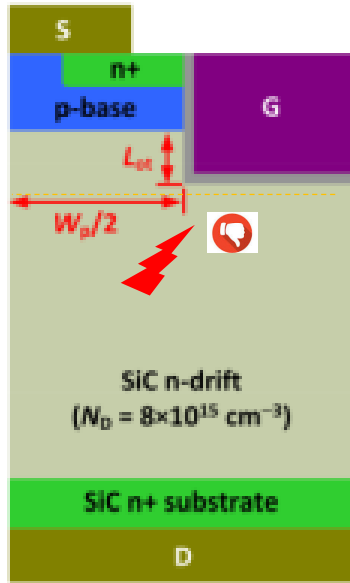
# 1) Introduction de quelques (exemples de) structures "types" Mosfet SiC et les stress associés

1- grille planar



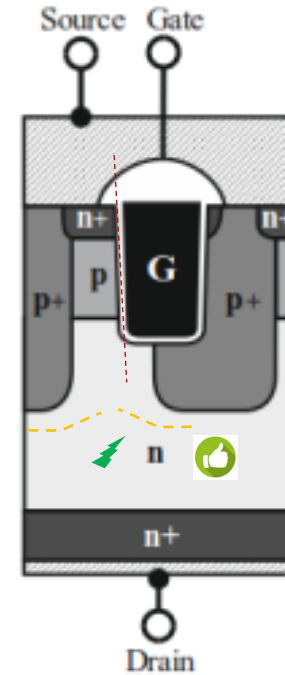
canal  $\cong$  "ortho"  
vs  $E_{d\acute{e}pl\acute{e}tion}$

2- grille trench (principe) 3- grille "double" trench symétrique (principe)

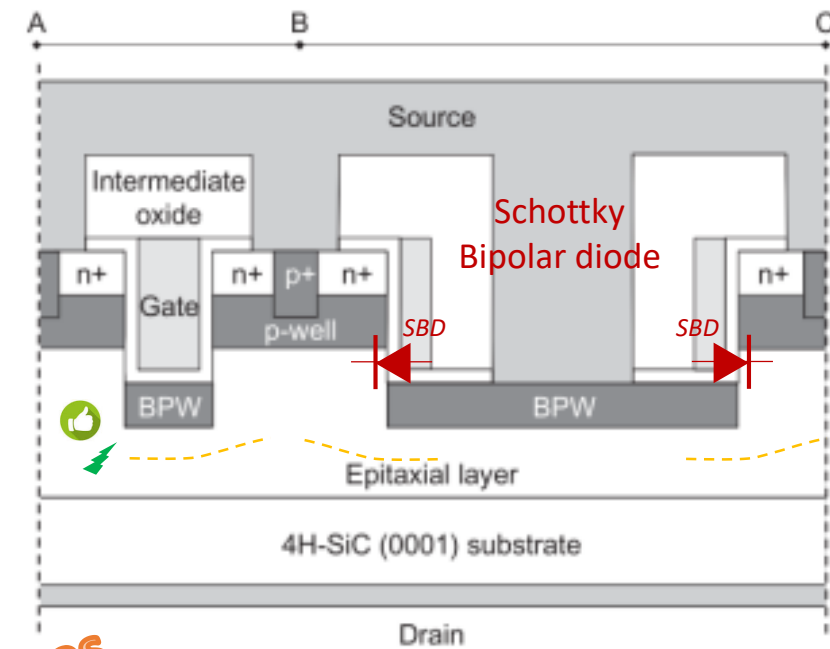


canal  $\cong$  "colinéaire"  
vs  $E_{d\acute{e}pl\acute{e}tion}$

4 - grille trench "oblique" asymétrique + Body diode optimisée

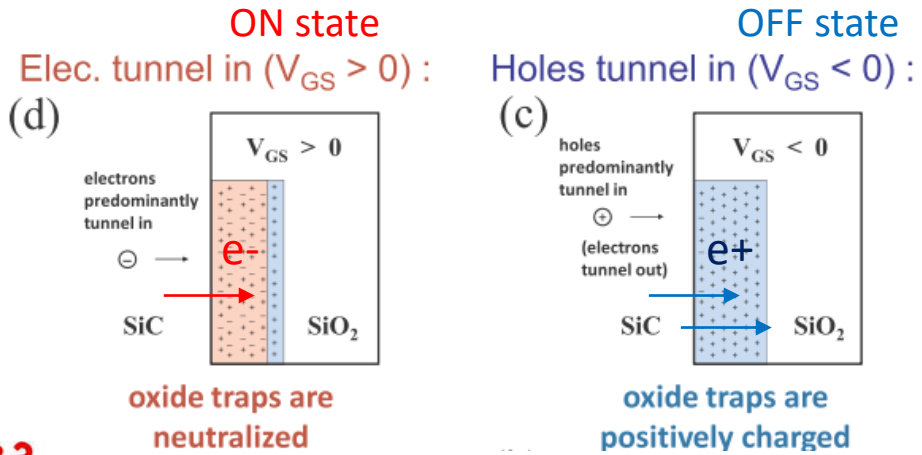
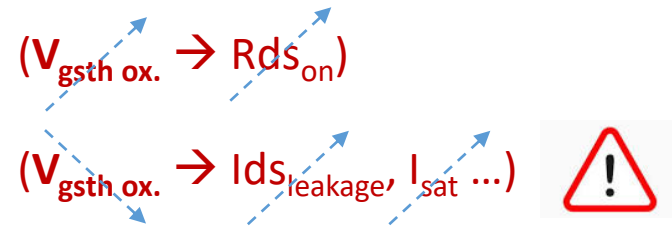


5 - grille "double" trench symétrique + écran BPW + JBS diode (PIN/SBD)



**Performances vs complexité vs coût ...**  
**(grande variabilité des stress à considérer au cas par cas !)**

# 1) Introduction à la problématique des dérives de l'oxyde ...

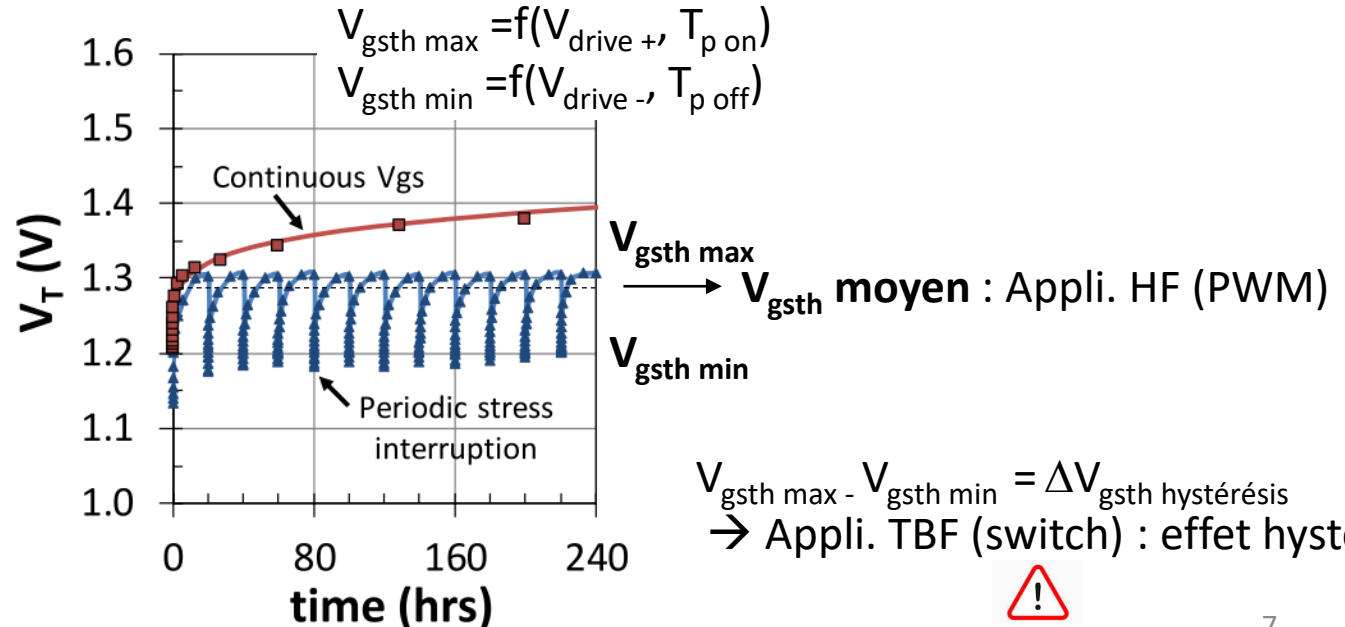
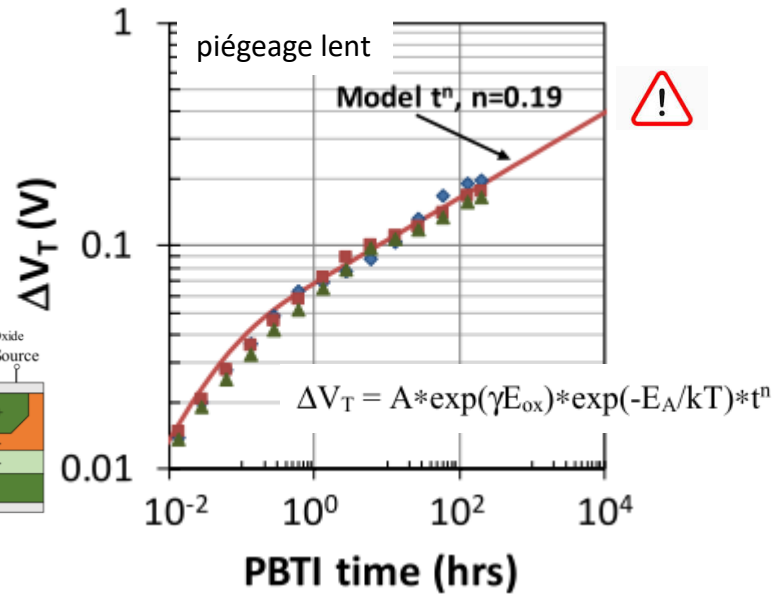
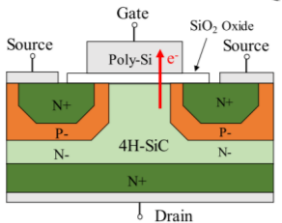


SiC MOSFET threshold-stability ..., A.J. Leleis, Elsevier 2018

**Interface SiC/SiO2 + pièges** : piégeage rapide (x.  $\mu s$  – x. ms)  
**volume SiO2 + pièges** : piégeage lent (x. ms – x. s – x. h ...)

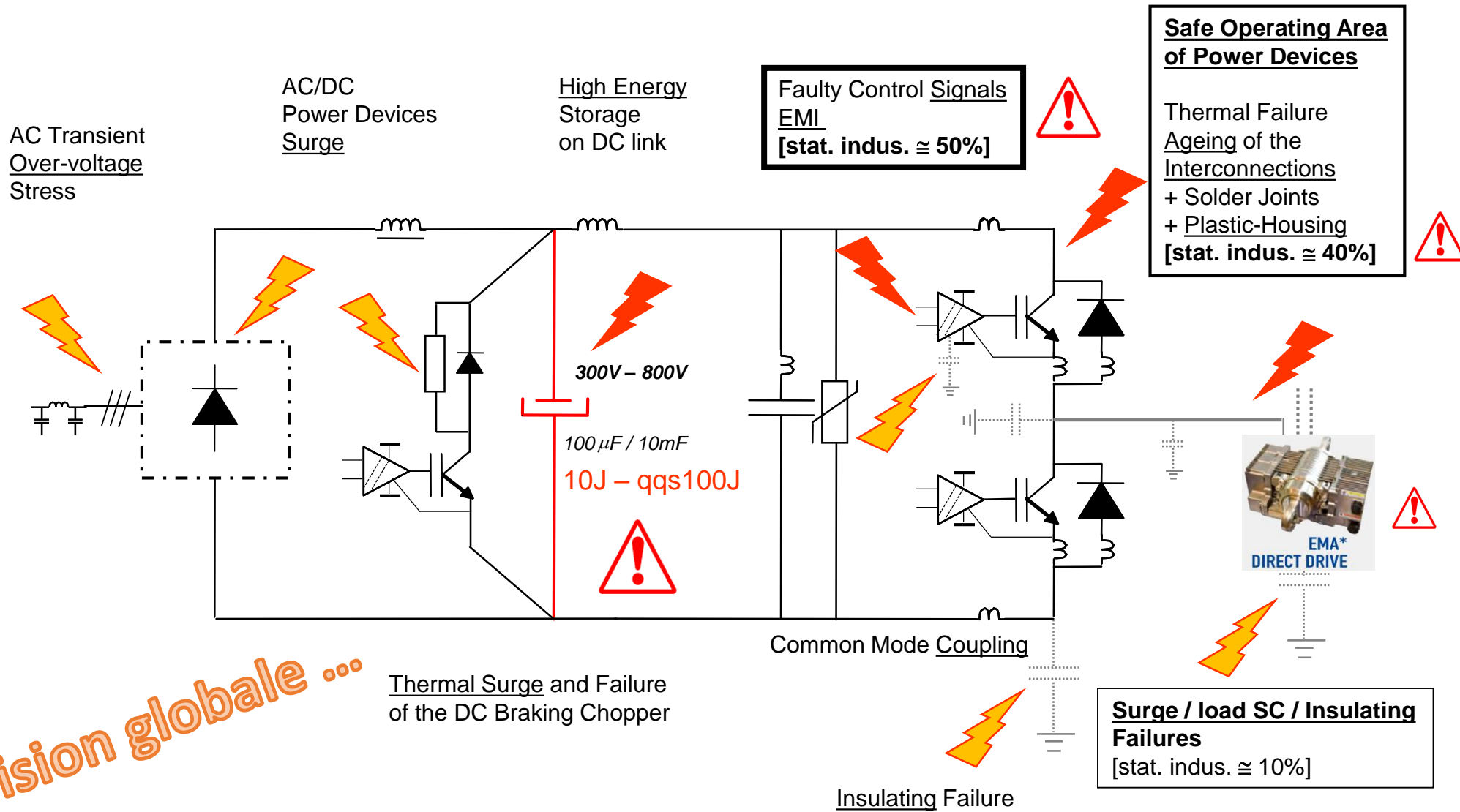


**Comprendre, caractériser ...**  
**relation avec les stress applicatifs amplifiés**  
**spécifier les limites d'usage et durées de vie**  
**= projet SiCRET – IRT, Lab.**



Cree™ gen. III – 65m $\Omega$  @permanent Vgs=19V/150°C

## 2) Du régime nominal (in-SOA) au régime accidentel de court-circuit (out-SOA)



Une vision globale ...

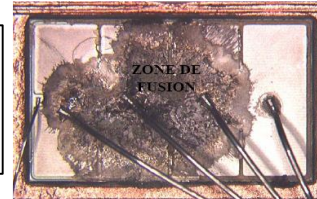


## 2) Du régime nominal (in-SOA) au régime accidentel de court-circuit (out-SOA)

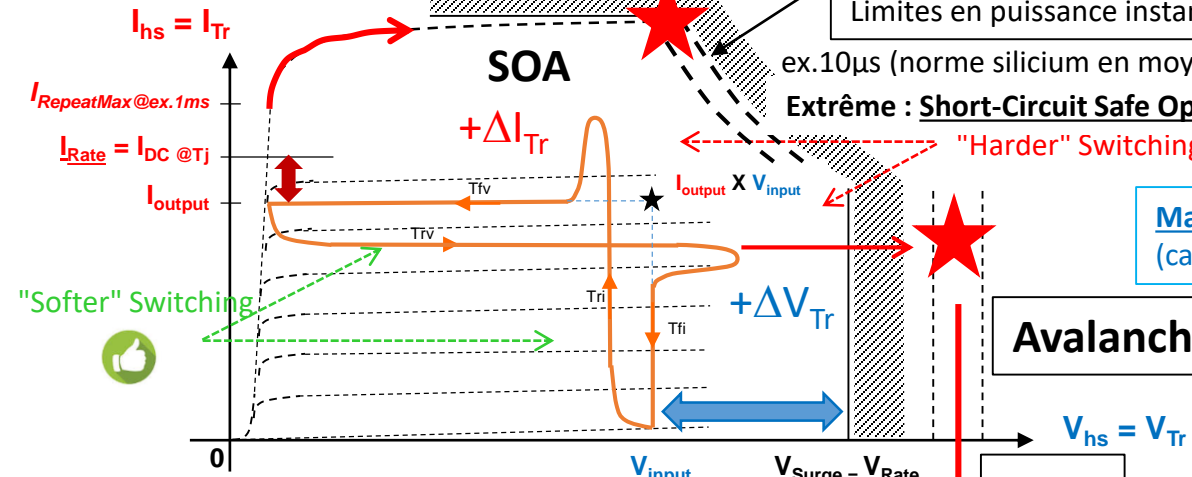
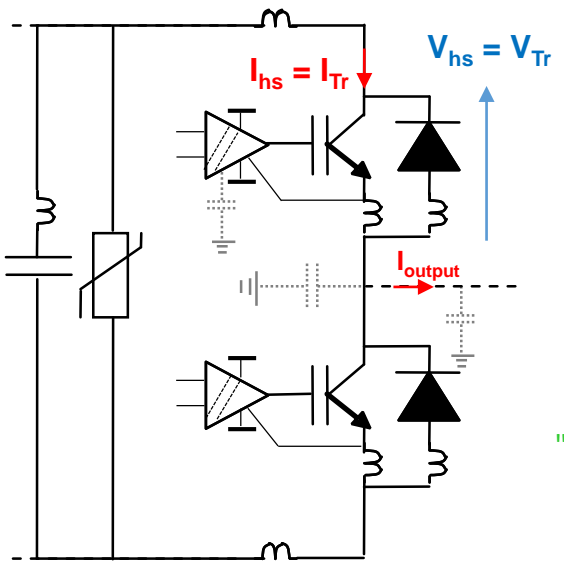
**Marge en courant**  $(I_{DC} - I_{out}) / I_{DC}$   
 fonction de la capacité  
 de refroidissement de la puce

Défaillance par le centre puis étalement en surface de puce

$I_{Tr sat.}$   
**Short-Circuit**



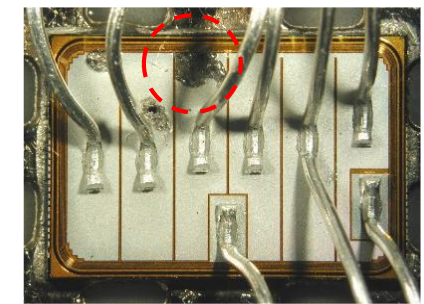
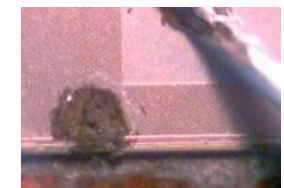
Limites en énergie sur temps court ( $T_{com} \cong \tau_{puce}$ ) :  $I_{Tr} \times V_{Tr} \times T_{com} < \Delta T_{jmax} \times C_{Th\ puce}$   
 Limites en puissance instantanée sur temps "très court" :  $I_{Tr} \times V_{Tr} < P_{max}$  (focalisation)



**Marge en tension** type : 30% à 50%  
 (cas du SiC et du GaN :  $V_{BR} \gg V_{Rate} \dots$ )

**Avalanche**

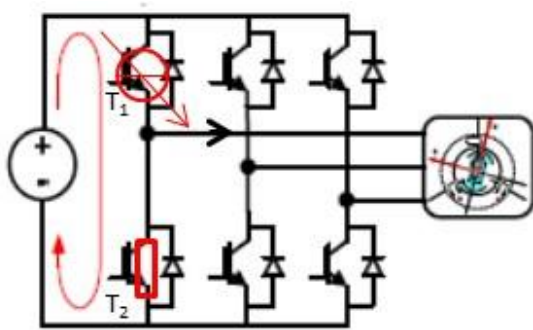
$V_{BR}$



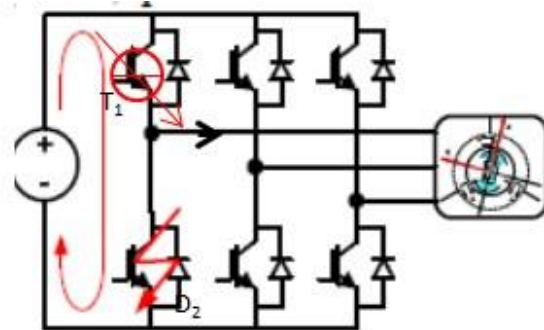
Défaillance en périphérie, proche de la zone de terminaison de tension

## 2) Du régime nominal (in-SOA) au régime accidentel de court-circuit (out-SOA)

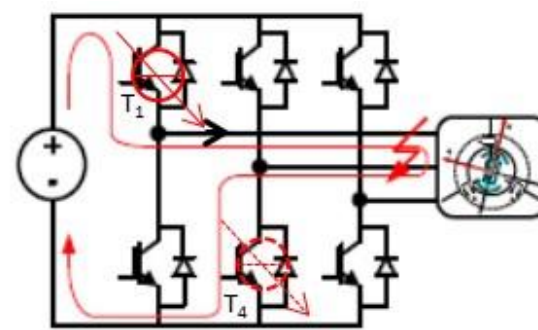
### Les différents types de court-circuit dans un onduleur : "vue" d'ensemble, cas non destructifs



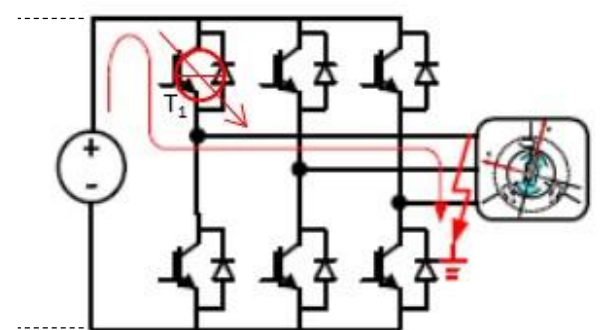
a) court-circuit interne d'un bras par la commande simultanée de T1 et T2



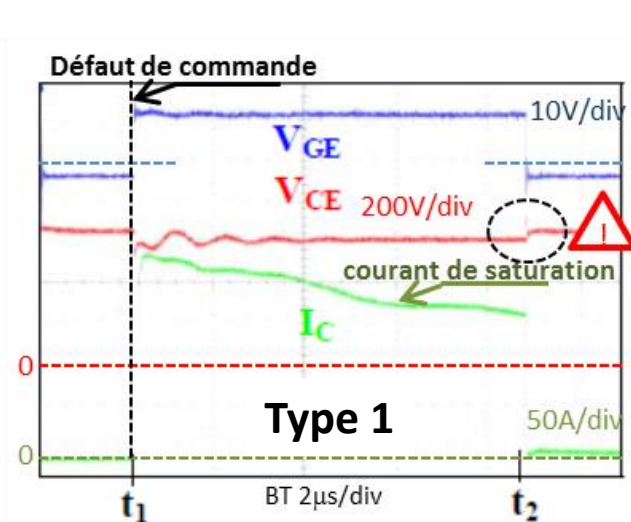
b) court-circuit interne d'un bras par claquage (ex. diode  $D_2$ ) de I1 et I2



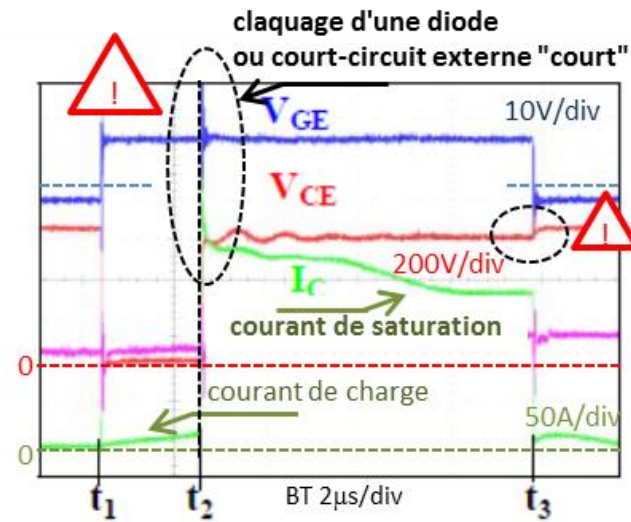
c) court-circuit externe "court" entre deux bras par T1 et T4



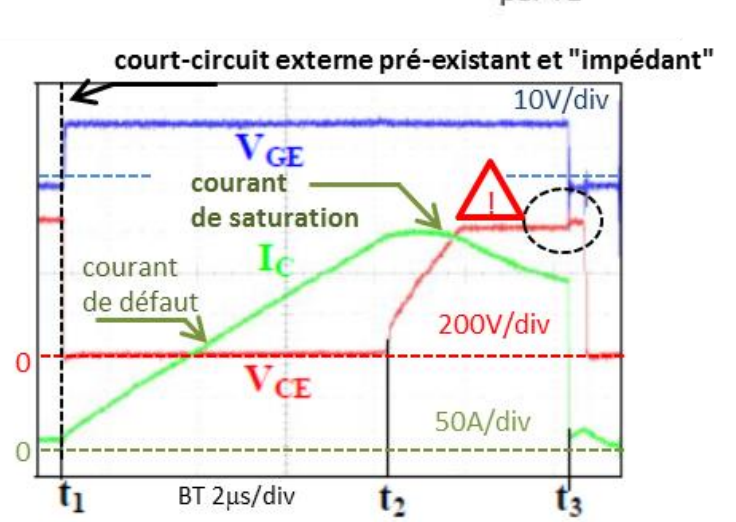
d) court-circuit externe "impédant" entre deux bras ou défaut d'isolement par la terre par T1



a) effet d'un court-circuit interne d'un bras par la commande simultanée de T1 et T2 (CC de type 1)



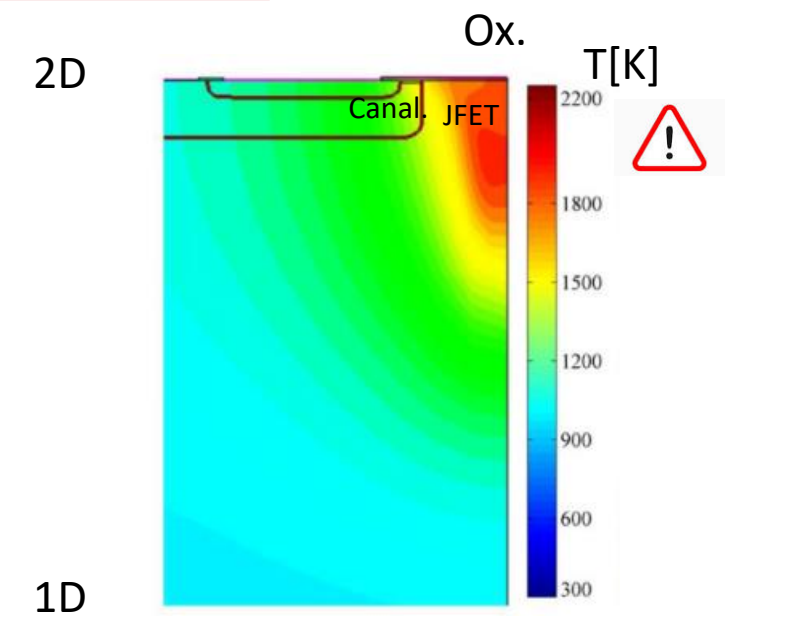
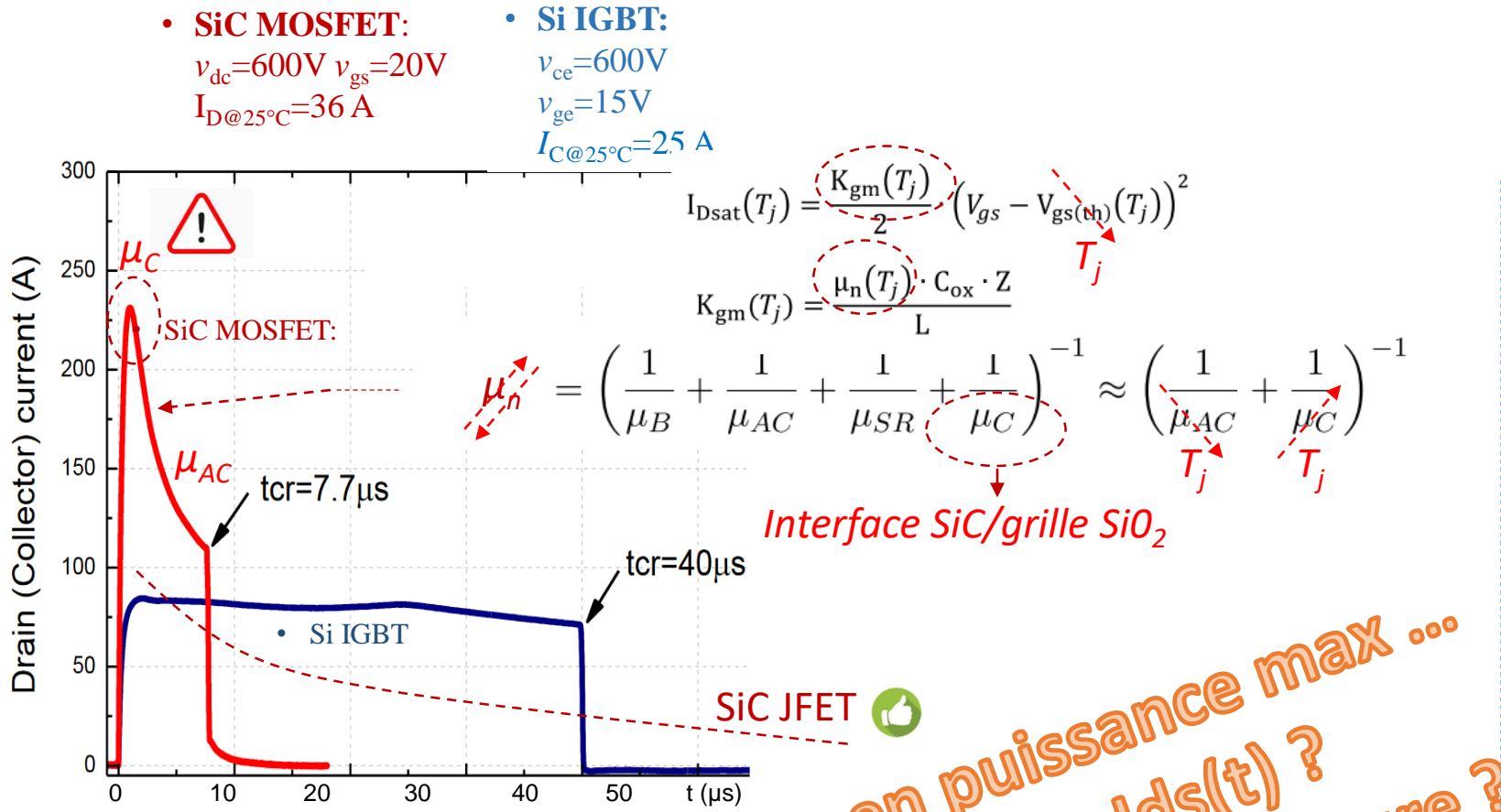
b) effet d'un court-circuit interne d'un bras par claquage (ex. diode  $D_2$ , CC de type 2) ou d'un court-circuit externe "court" **Type 2 (interne)**



c) effet d'un court-circuit externe pré-existant et "impédant" ou défaut d'isolement par la terre **Type 2 (externe)**

### 3) Tenue au court-circuit : SiC Mosfet vs Si

Lien électrique → Thermique local



Simplified adiabatic 2D junction temperature transient from idealized constant SC

$$\Delta T_j(t) = \frac{2 \cdot V_{ds} \cdot J_{sat}}{\sqrt{\pi \rho \lambda C_p}} \sqrt{t}$$

à température max donnée :  
 (oxyde, Al, SiO<sub>2</sub>, poly ...)

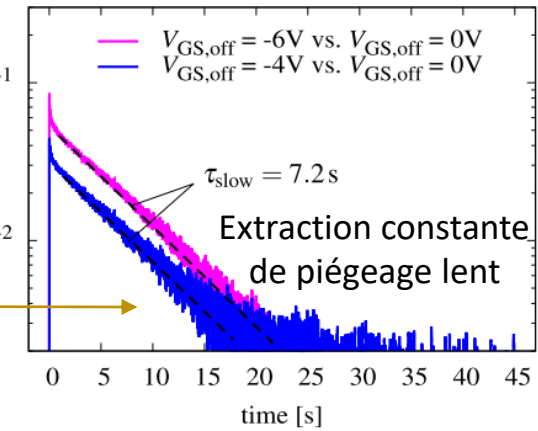
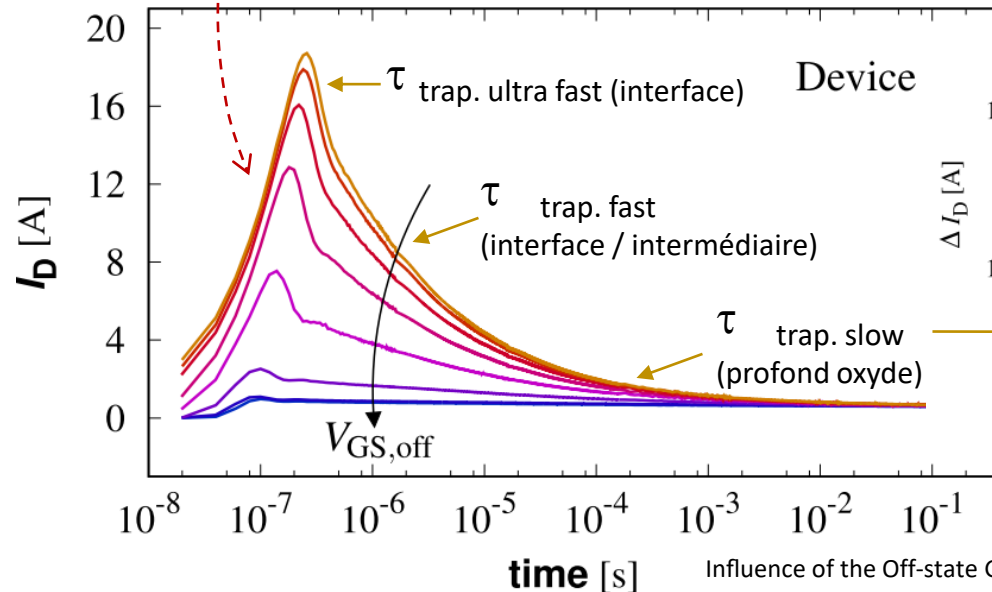
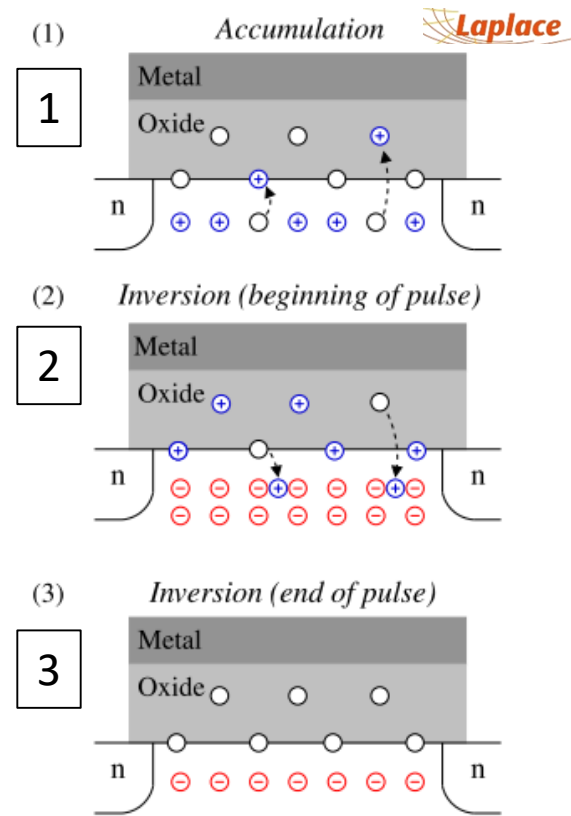
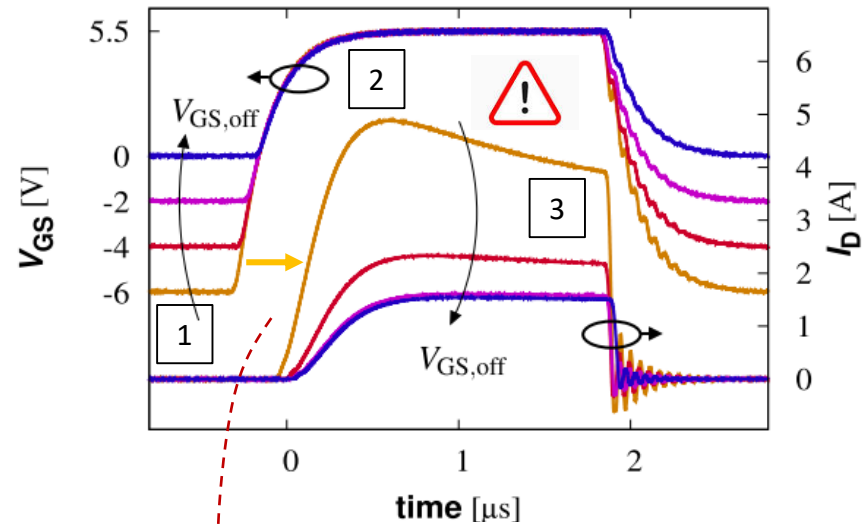
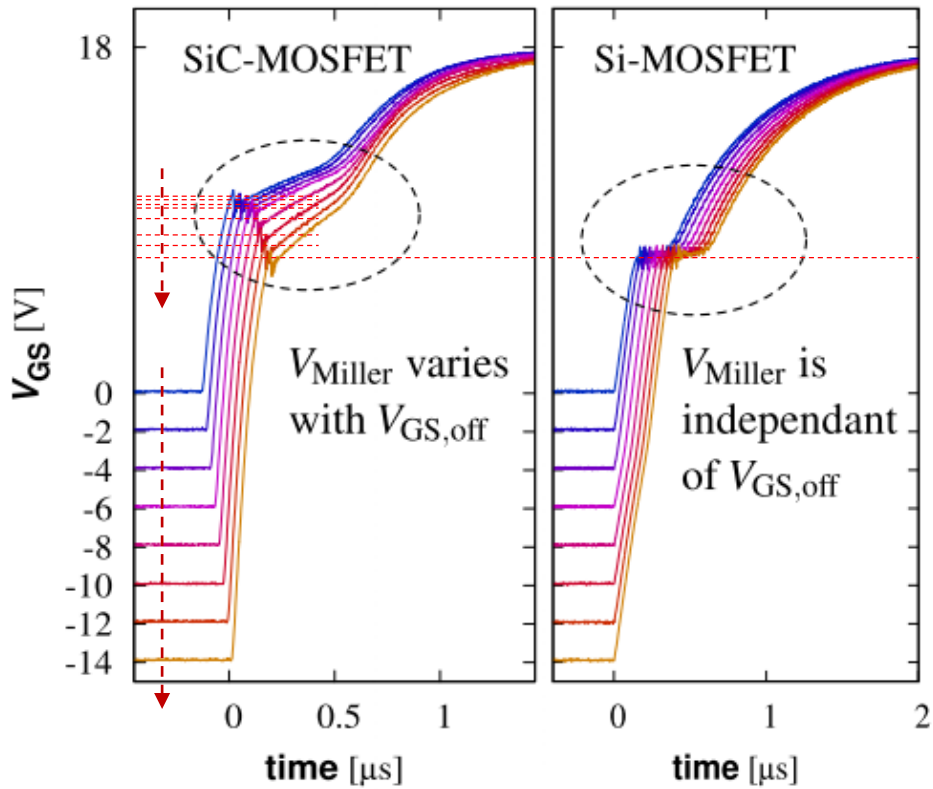
$$T_{SCW}[\mu s] \sim \frac{1}{J_{sat}^2}$$

Stress en puissance max ...  
 Ids(t) ou Jds(t) ?  
 lien avec la température ?

Jiahui Sun, IEEE 2016  
 (simplified adiabatic 2D junction temperature transient from idealized constant SC)

### 3) Tenue au court-circuit : SiC Mosfet vs Si

Lien "Piégeage SiC/SiO2" → Elec ...  $I_{dsat}$  ...



$V_{gsth\ ox.} f(V_{gs\ statique}, V_{ds})$        $V_{gsth\ ox.} \cong const.$

effet canal court du Mosfet SiC

### 3) Du régime nominal (in-SOA) au régime accidentel de court-circuit (out-SOA)

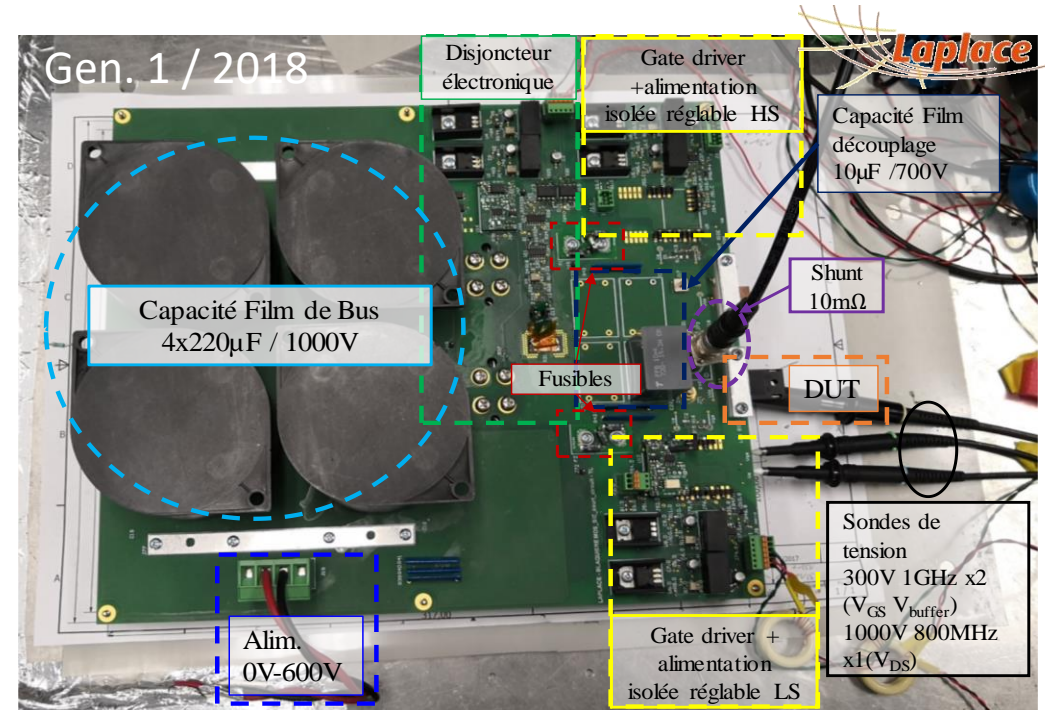
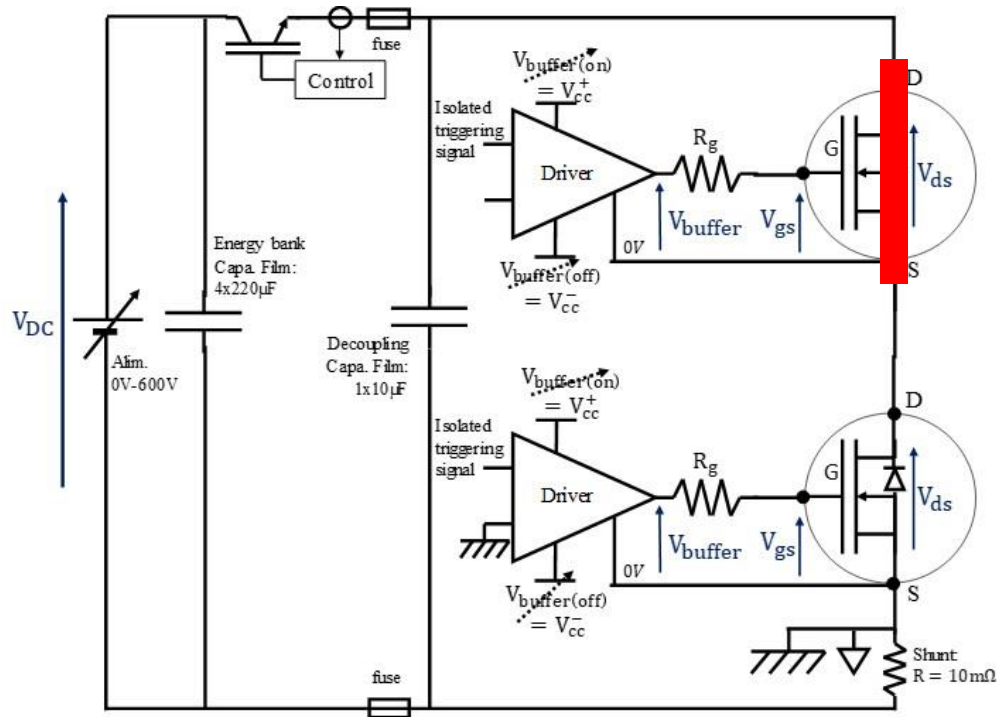


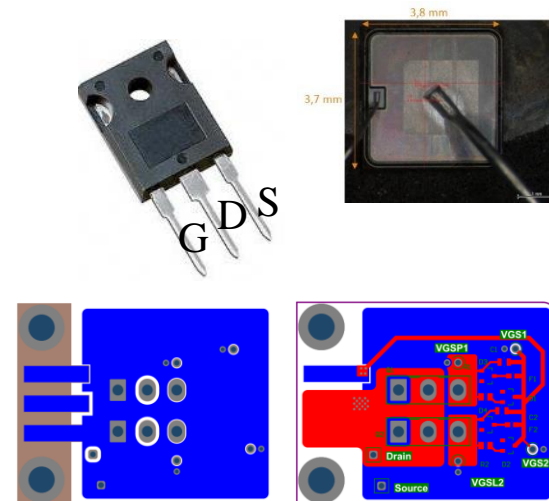
Schéma électrique de principe du banc de test et réalisation [J.-M. Blaquière et S. Vinnac]

Thèse  
F.Boige, 2019

MOSFET SiC testing capability :  
600V, 700V, 900V, 1200V

- $R_{DSon} = 80m\Omega$
- $I_{dsat\ max} = 400A$
- Boitier TO-247

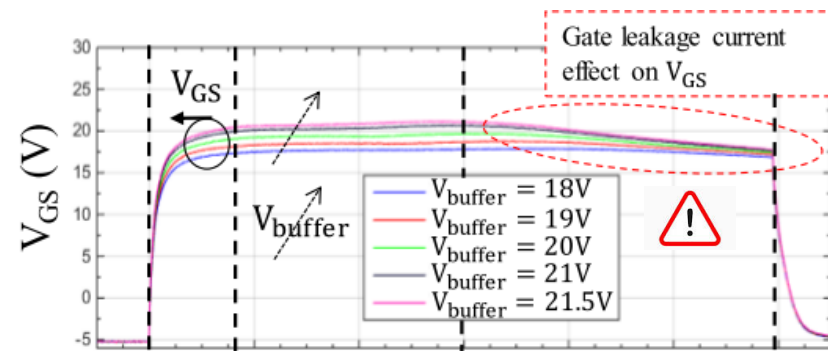
with PCB external plug-in to design →



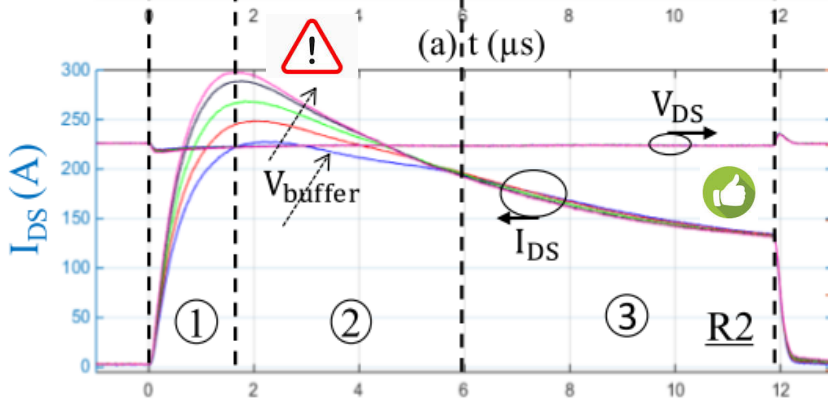
### 3) Du régime nominal (in-SOA) au régime accidentel de court-circuit (out-SOA)

**Pulse long → Pulse permanent : MODES DE DEFAILLANCE**

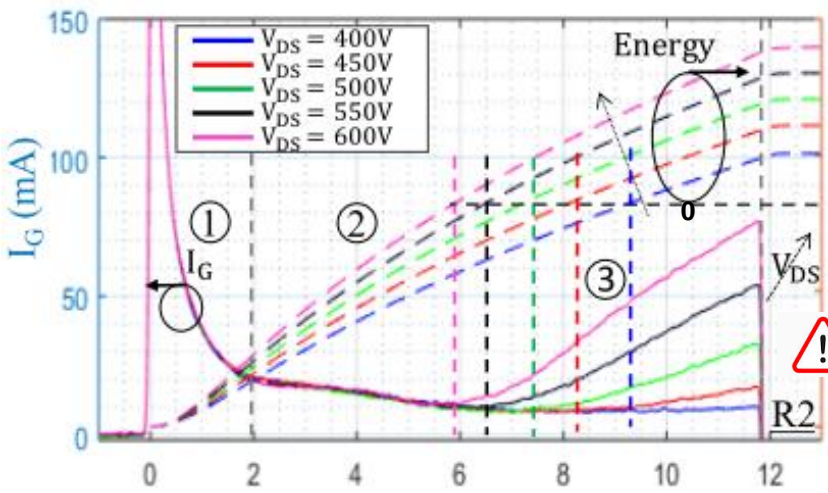
*Vue d'ensemble*



Dépolarisation Vgs



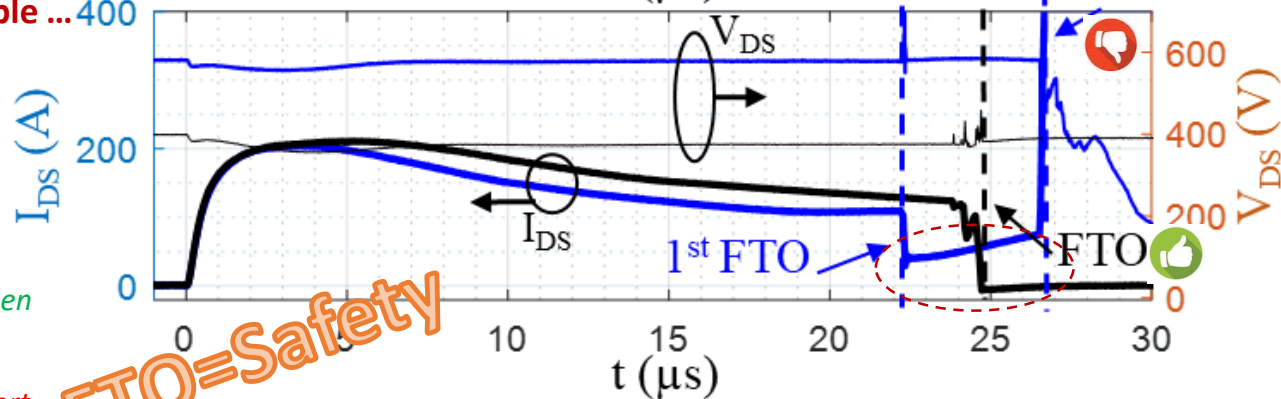
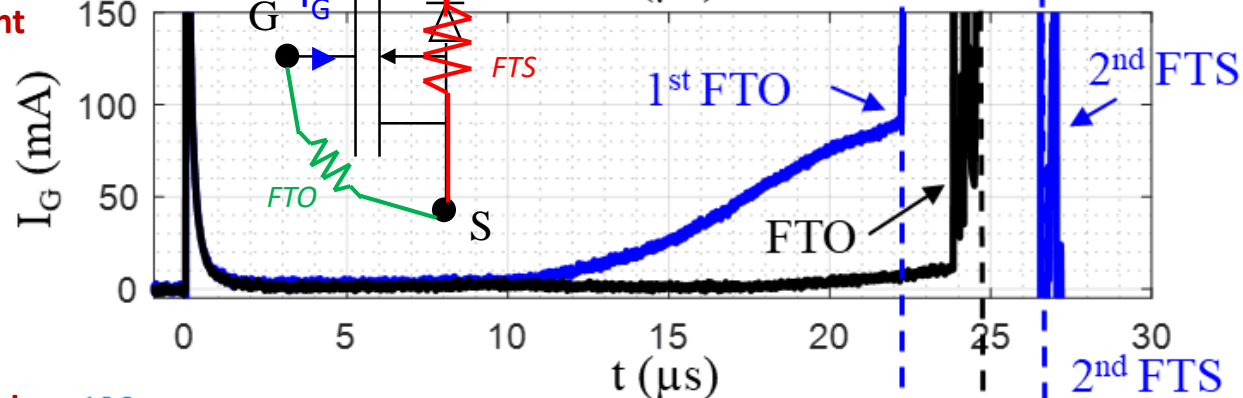
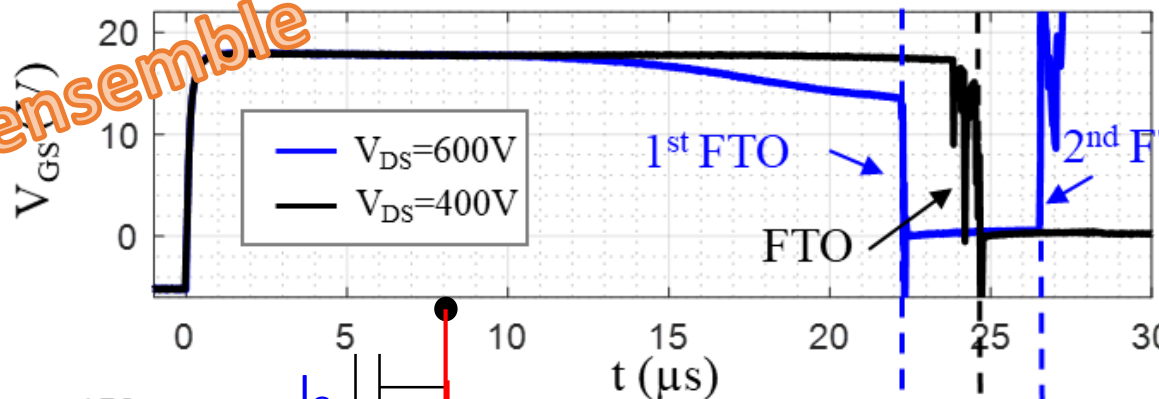
Stress  $W/mm^2$  et décroissance par auto-échauffement



Fuite de grille réversible ...  $\cong T_{scw}/2$

FTO : fail-to-open ( $V_{gs} < V_{gsth}$ )

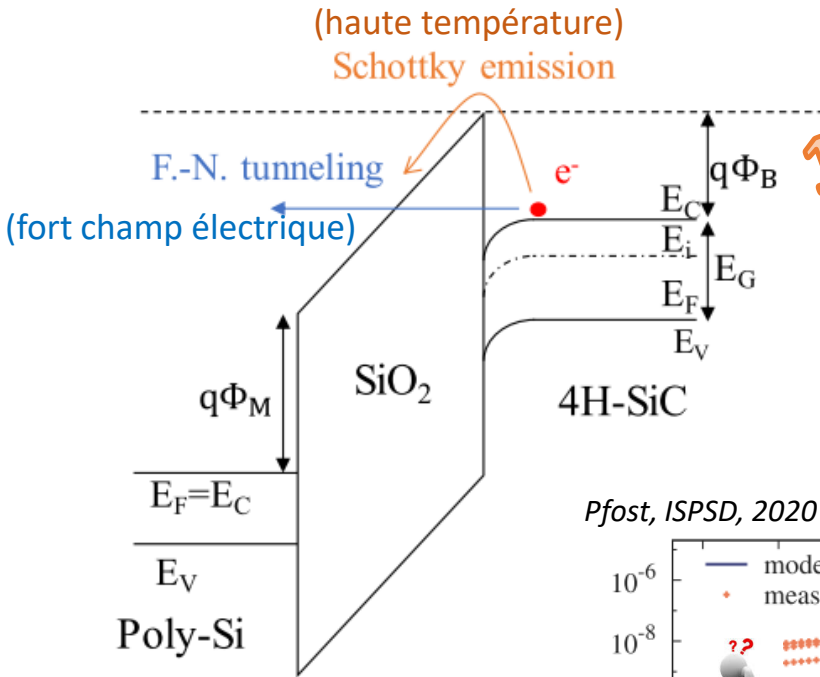
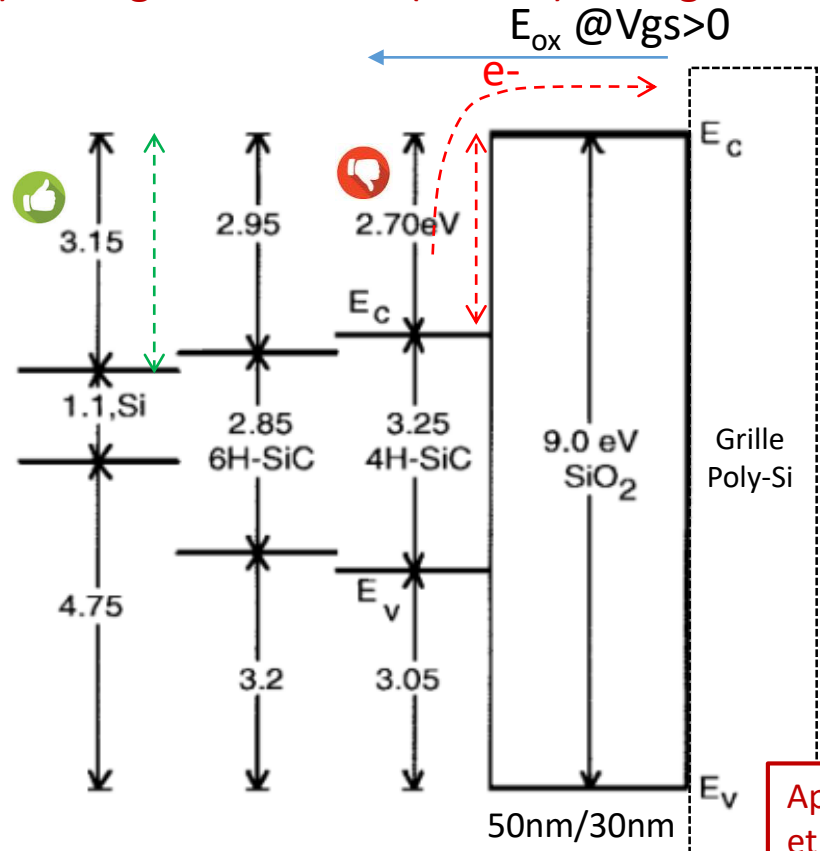
FTS : fail-to-short



*FTO = Safety*

### 3) Du régime nominal (in-SOA) au régime accidentel de court-circuit (out-SOA)

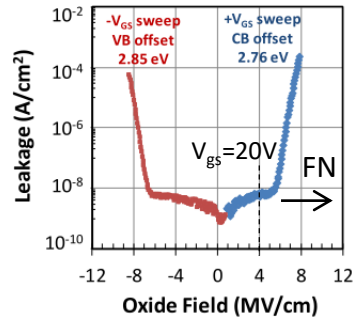
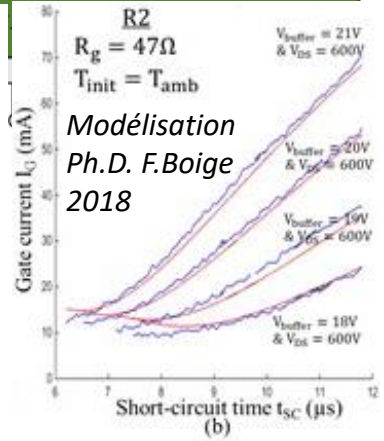
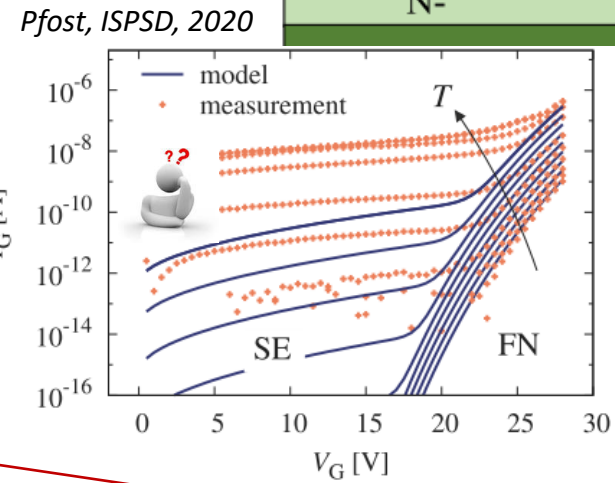
1/2 Focus fuite de grille



Application : diag. thermique et protection CC par détection  $I_{gs}(t)$

Reliability Studies of SiC Vertical Power MOSFETs

Daniel J. Lichtenwalner, Brett Hull, Edward Van Brunt, Shadi Sabri, Donald A. Gajewski, Dave Grider, Scott Allen, and John W. Palmour



$$J_{eq.} = J_{FN} + J_{SE} + J_{PF}$$

$$J_{FN} = \frac{q^3}{8\pi h \Phi_B} E^2 \exp\left[-\frac{8\pi\sqrt{2m_{ox}}\Phi_B^3}{3qhE}\right] + J_{SE} = \frac{4\pi q k^2 m_{ox}}{h^3} T^2 \exp\left[\frac{-\Phi_B + \sqrt{q^3 E / (4\pi\epsilon_r \epsilon_0)}}{kT}\right] + \vec{J} = \sigma_{FP} \vec{E} \exp\left(\frac{-q(\phi_B - \sqrt{qE/\pi\epsilon})}{k_B T}\right)$$

Composante de Fowler-Nordheim (FN) (dominante à fort champ  $V_{gs} > 20V$  @oxyde 50nm)

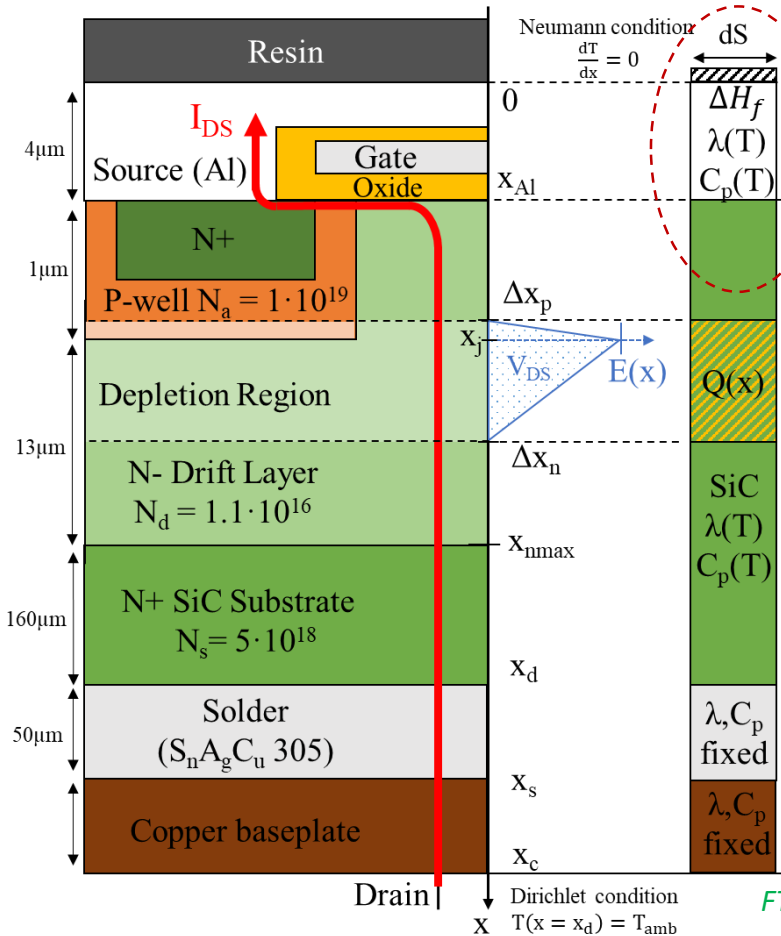
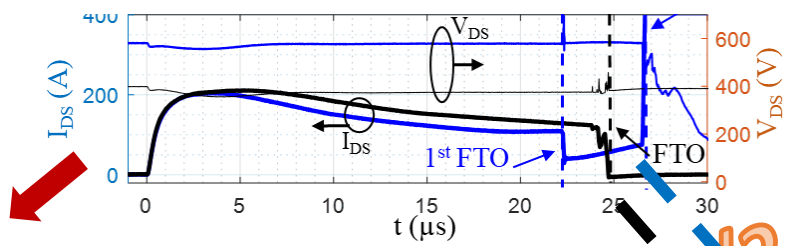
Composante par émission Schottky (SE) (dominante à haute température)

Poole-Frenkel (PF) (dominante sur défauts structuraux matériau  $SiO_2$ )

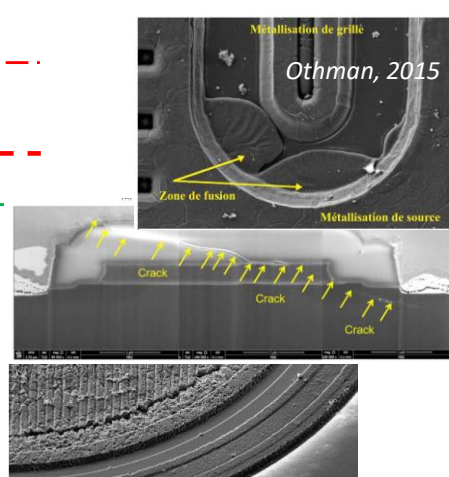
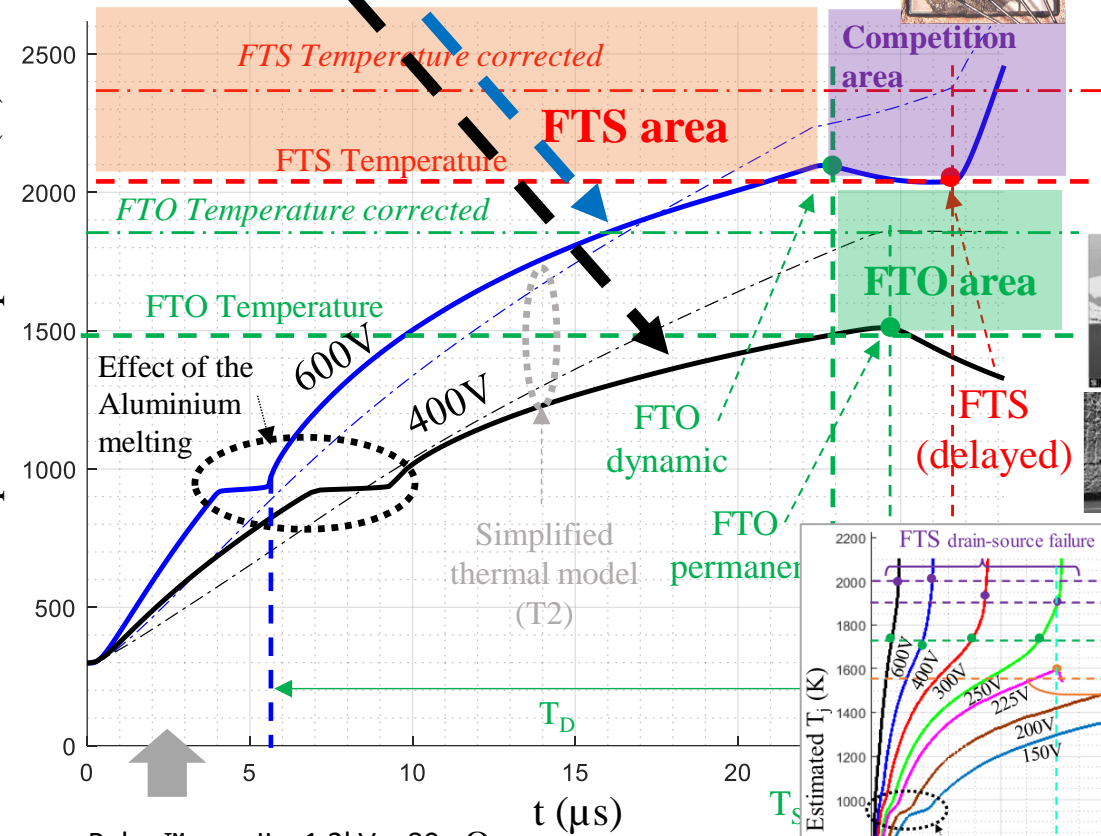
## 2) Du régime nominal (in-SOA) au régime accidentel de court-circuit (out-SOA)

212 Focus Modes de défaillance du Mosfet SiC

Modèle Comsol Electro-thermo-métallurgique incluant la **transition solide - liquide couche Al**

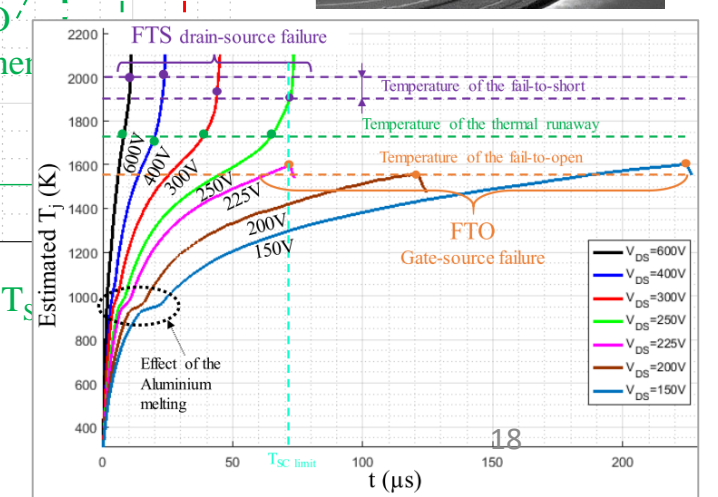


Estimated top metal temperature (K)



FTO : fail-to-open (Vgs < Vgsth)  
FTS : fail-to-short

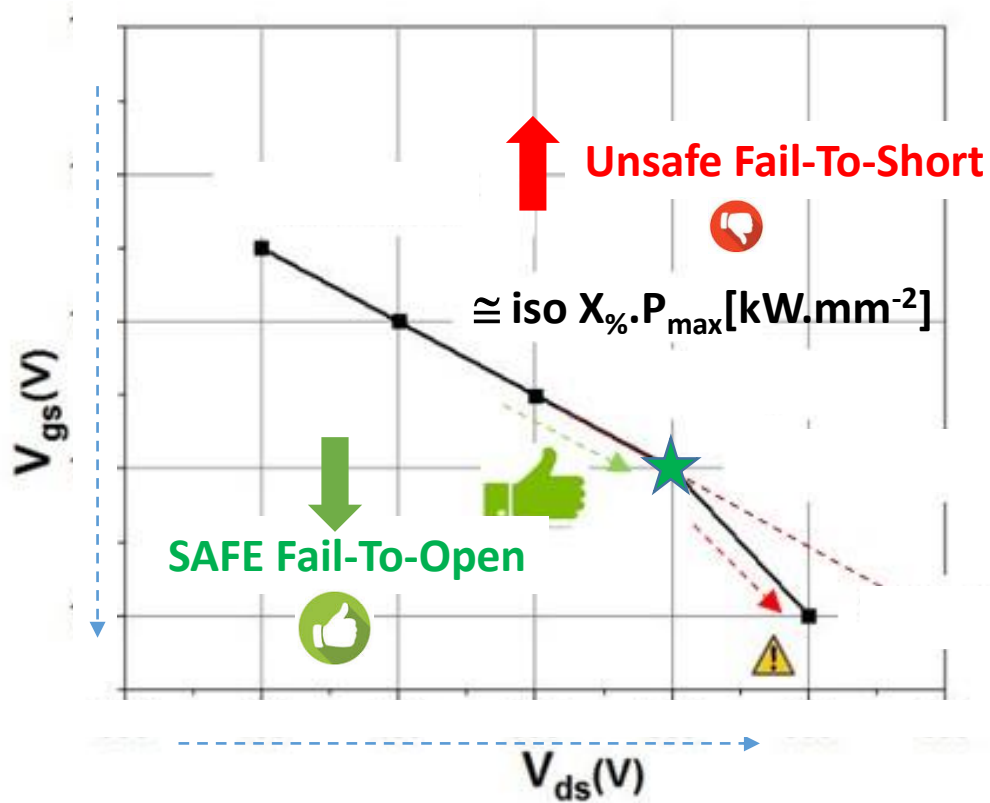
Rohm™ gen. II – 1.2kV – 80mΩ @Vgs=18V/Rgate\_ext=47Ω/Tcase=25°C  
Cree™ gen. II – 1.2kV – 80mΩ @Vgs=20V/Rgate\_ext=47Ω/Tcase=25°C





### 3) Du régime nominal (in-SOA) au régime accidentel de court-circuit (out-SOA)

Obtention du mode SAFE Fail-To-Open par dépolarisation  $V_{gs}$  à  $V_{ds}$  nominal ?  
et par d'autres paramètres ...



Post-doc Wadia Jouha  
Safran Tech  
2019 – 2021

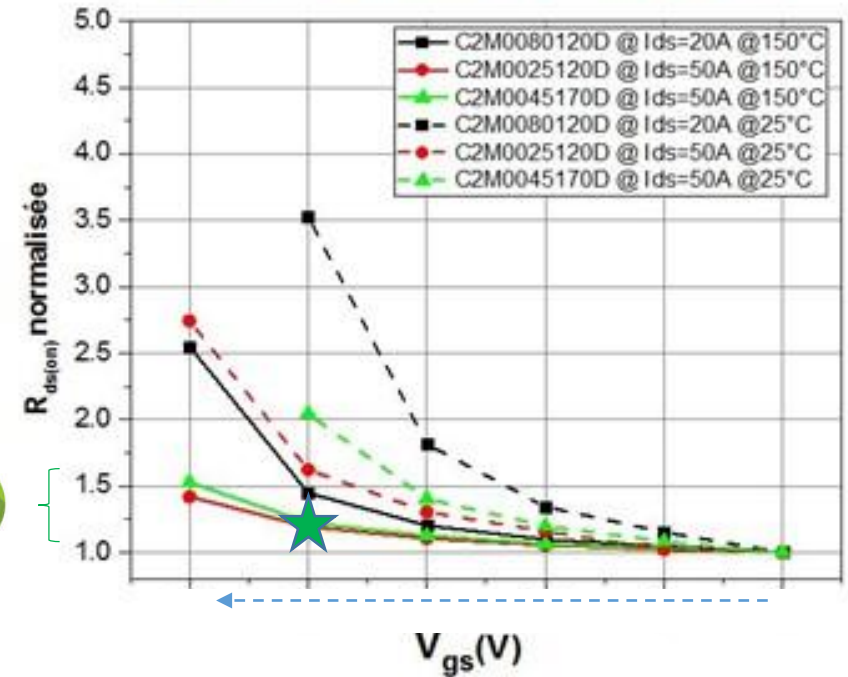


S. Azzopardi



Apparition d'une forte fuite de drain (sauf DUT 1.7kV)

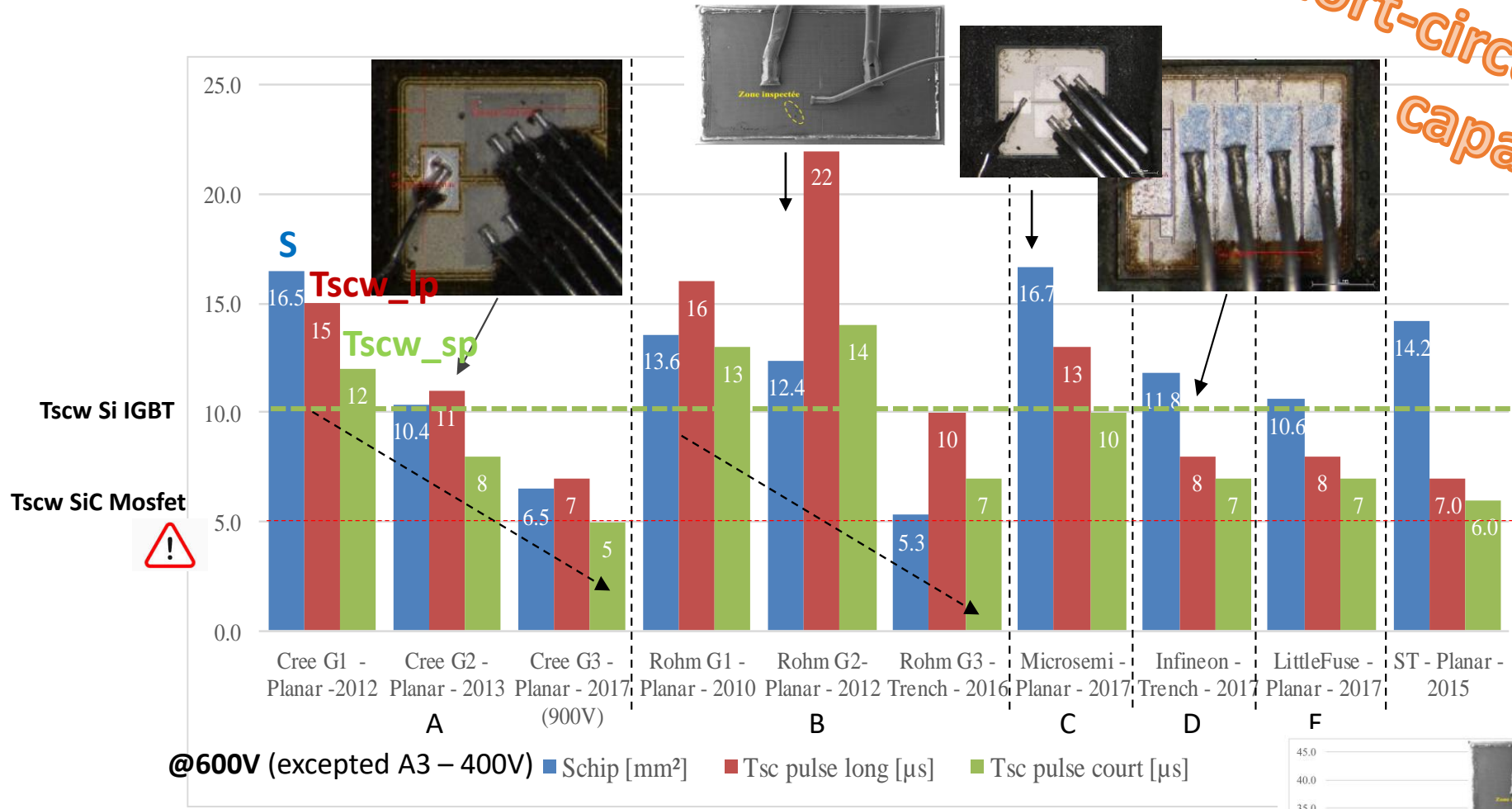
Normalisation de  $R_{ds(on)}$  @  $V_{gs}=20V$   
et  $T_{case}$ , soit  $25^\circ C$ , soit  $150^\circ C$



A  $150^\circ C$ , la dépolarisation de  $V_{gs}$   
impacte  $R_{ds(on)}$  plus acceptable

### 3) Du régime nominal (in-SOA) au régime accidentel de court-circuit (out-SOA)

Short-circuit withstand capability



Thèse F.Boige, 2019

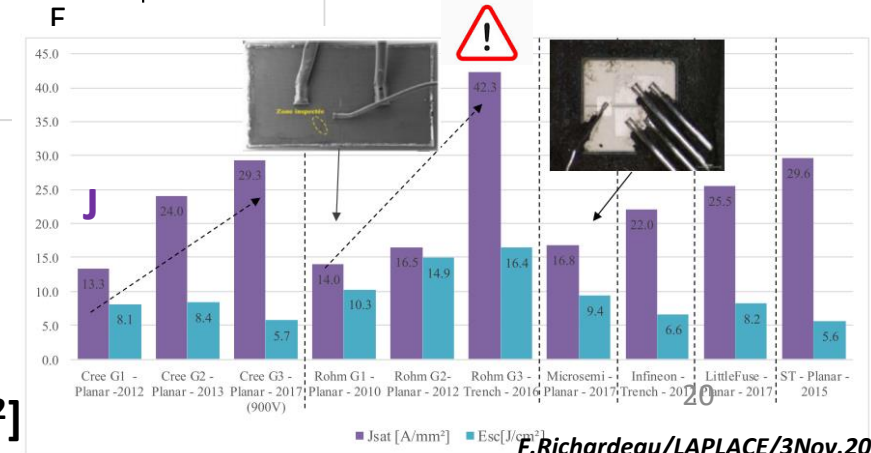
Device	A1	A2	A3	B1	B2	B3	C1	D1	E1
S <sub>chip</sub> (mm <sup>2</sup> )	16.5	10.4	6.48	13.6	12.4	5.3	16.7	11.8	10.6
V <sub>DSS</sub> (V)	1200	1200	900	1200	1200	1200	1200	1200	1200
I <sub>D</sub> @ 25°C (A)	42	36	36	26	40	31	41	*	25
V <sub>GSnom(on/off)</sub> (V)	20/-5	20/-5	15/-3	18/-5	18/-5	18/-5	20/-5	15/-3	20/-5
R <sub>DS(on)</sub> (mΩ) @ V <sub>GSnom</sub>	80	80	65	90	80	80	80	80	80
Technology	planar	planar	planar	shield-planar	shield-planar	trench	*	trench	*

\* Information not available

$$T_{scw} \sim \frac{1}{J_{sat}^2}$$

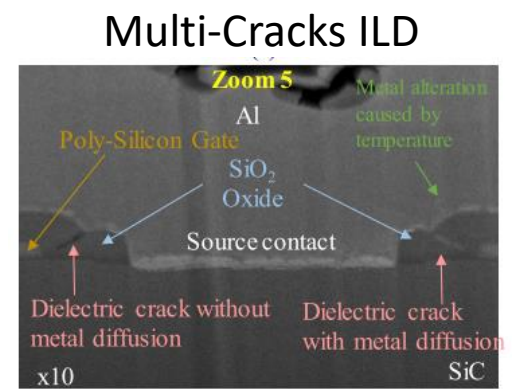
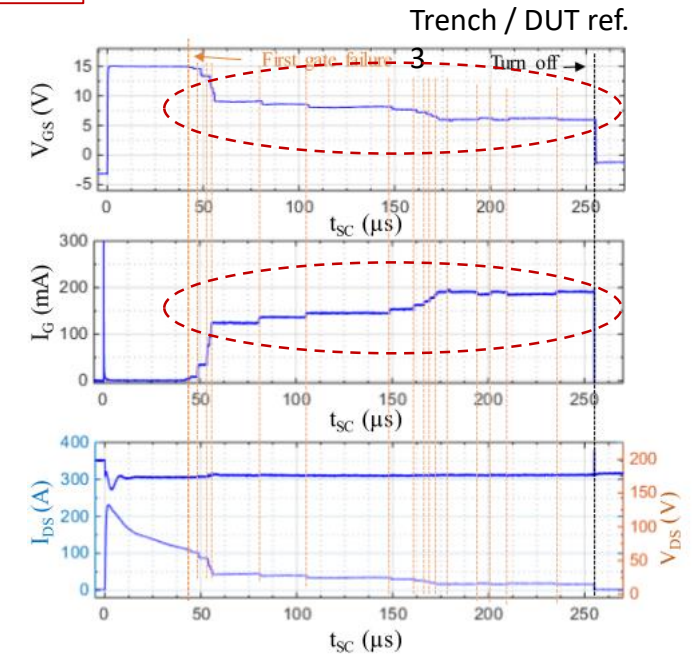
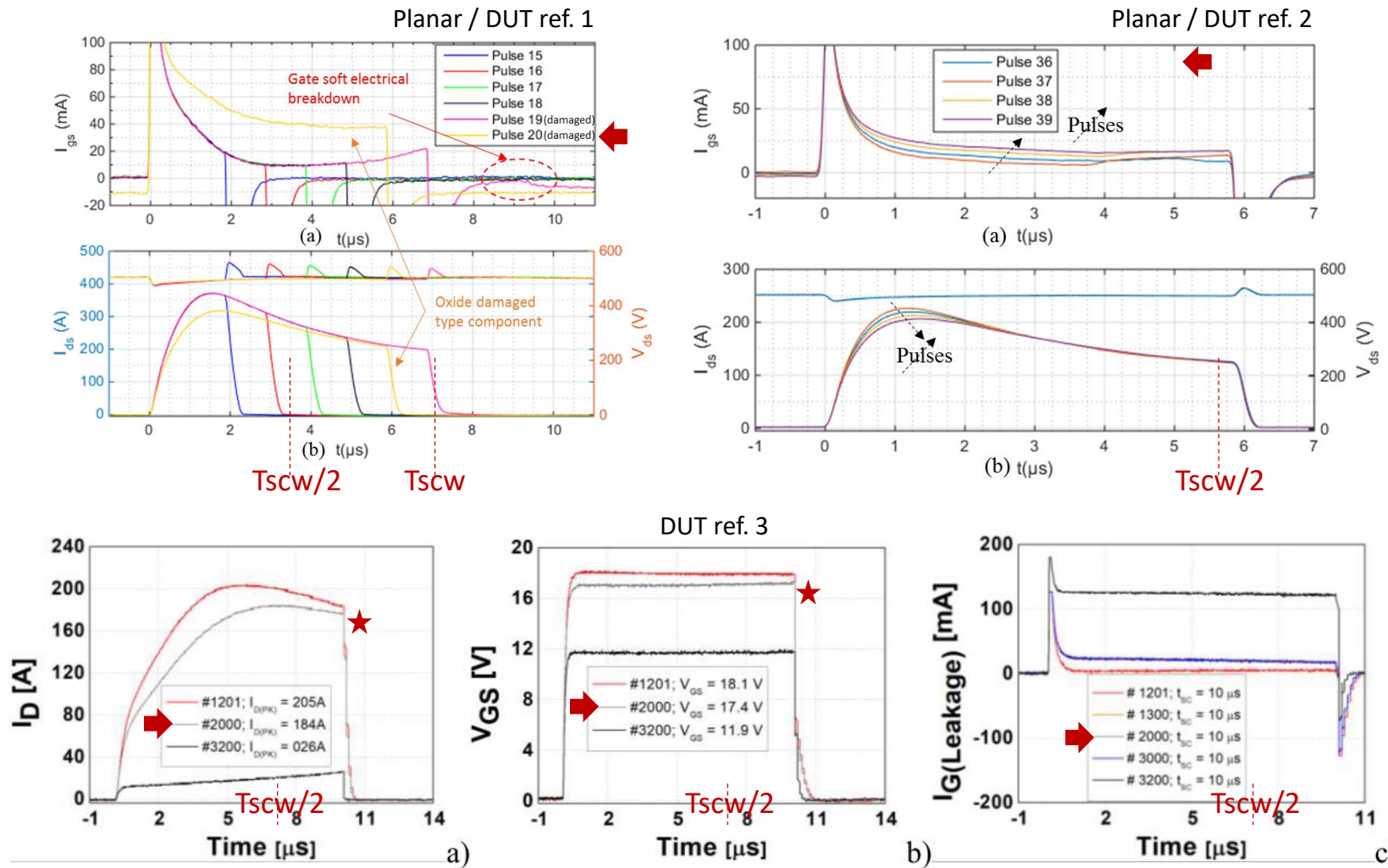
Compromis (R<sub>dson</sub>, E<sub>com</sub>) vs T<sub>scw</sub>

Critère : T<sub>scw</sub> [μs] / R<sub>dson sp</sub> [mΩ.cm<sup>-2</sup>]



### 3) Vieillessement du Mosfet SiC sur cycles de court-circuit

Long-pulse ( $> T_{scw}/2$ ) at high energy  $\rightarrow$  **extreme SC cycling!**



Thèse F.Boige, 2019

A Fayyaz, F. Boige, A Borghese, G Guibaud, V. Chazal, et al.. Aging and failure mechanisms of SiC Power MOSFETs under repetitive short-circuit pulses of different duration. *International Conference on Silicon Carbide and Related Materials 2019, Sep 2019, Kyoto, Japan.* (hal-02334396)

### 3) Vieillessement du Mosfet SiC sur cycles de court-circuit

Short-pulse ( $< T_{scw}/2$ ) at medium / low energy  $\rightarrow$  SOFT SC cycling

Classical Al top metal  
ageing leading  $V_{gs}$  depolarisation

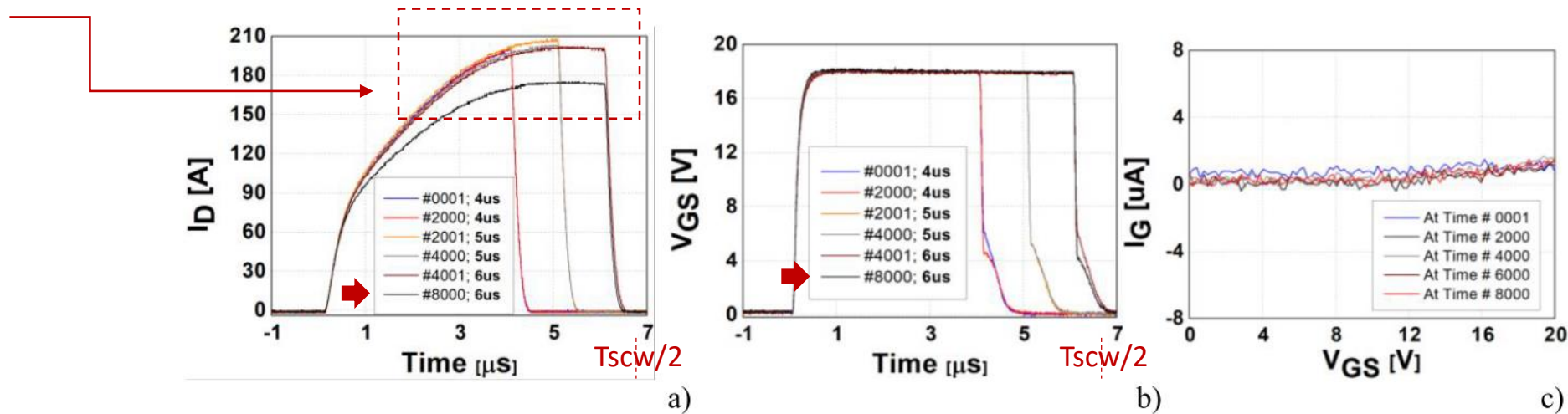


Fig. 3. Experimental results for repetitive SC test with “short” pulse widths:  $I_D$ , a);  $V_{GS}$ , b);  $I_{G,LEAK}$ , c)..

A Fayyaz, F. Boige, A. Borghese, G. Guibaud, V. Chazal, et al.. Aging and failure mechanisms of SiC Power MOSFETs under repetitive short-circuit pulses of different duration. [International Conference on Silicon Carbide and Related Materials 2019, Sep 2019, Kyoto, Japan. \(hal-02334396\)](#)

### 3) Protection rapide du Mosfet SiC en CC

### Approche

### "grand signal" CLASSIQUE limitée ...

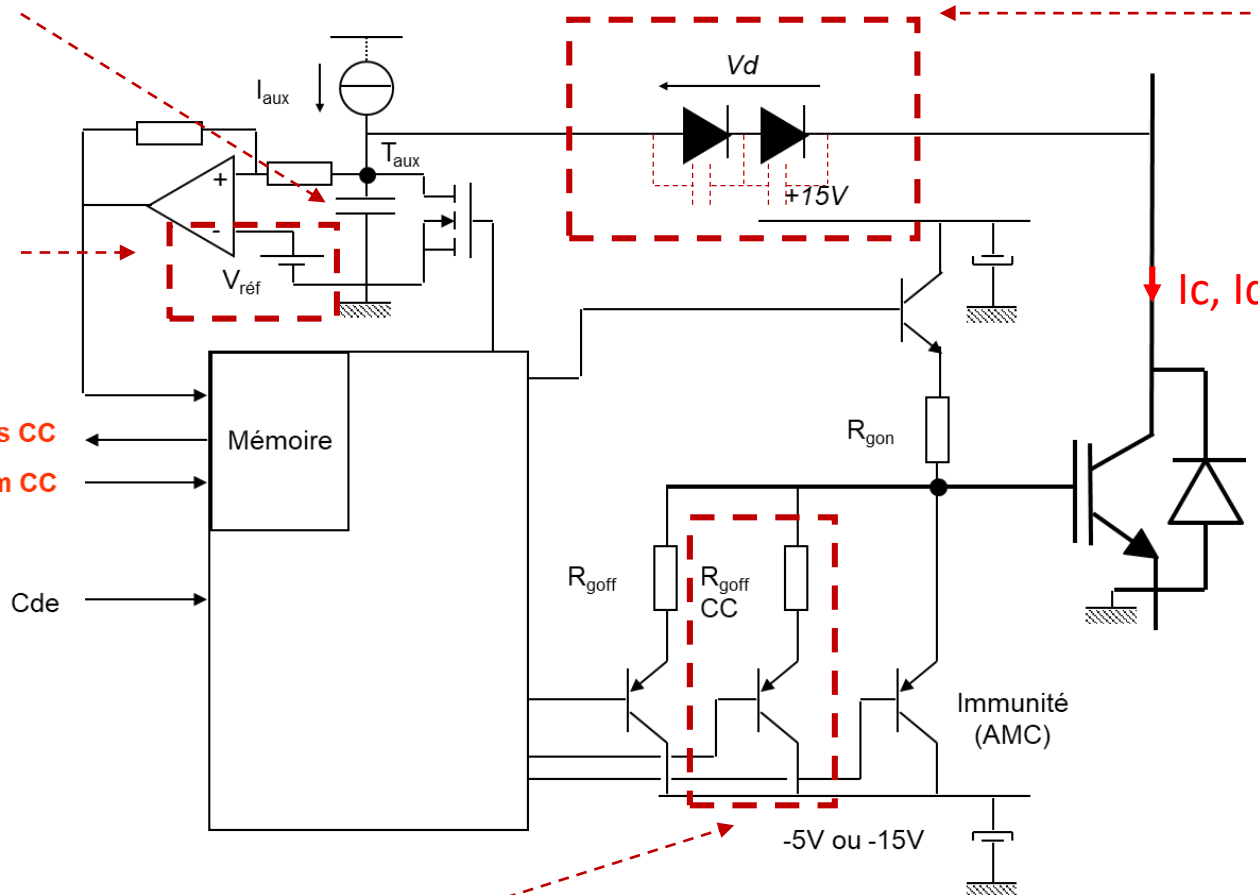


N x Diodes rapides basse-tension et faible courant en série pour réduire la capacité parasite de couplage

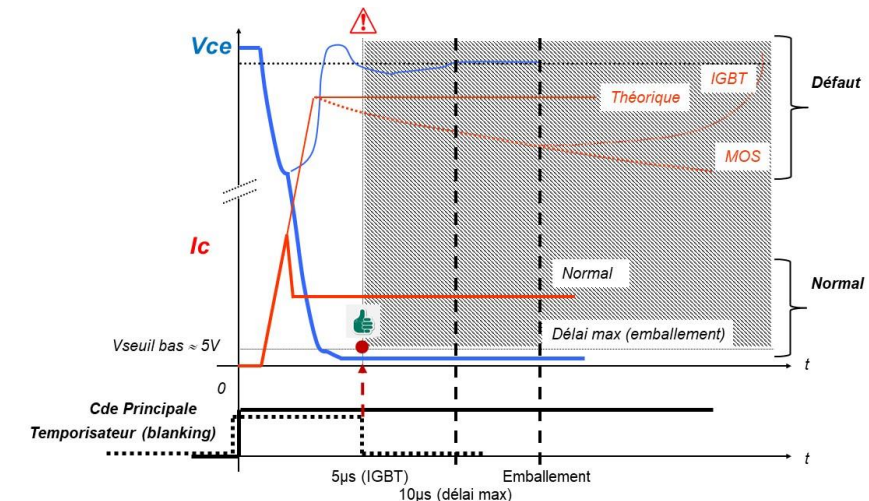
⚠ Réglage blanking (2 à 7 μs en IGBT)

Réglage du seuil en tension (5 à 7V en IGBT)

Status CC  
Réarm CC



Vce, Vds



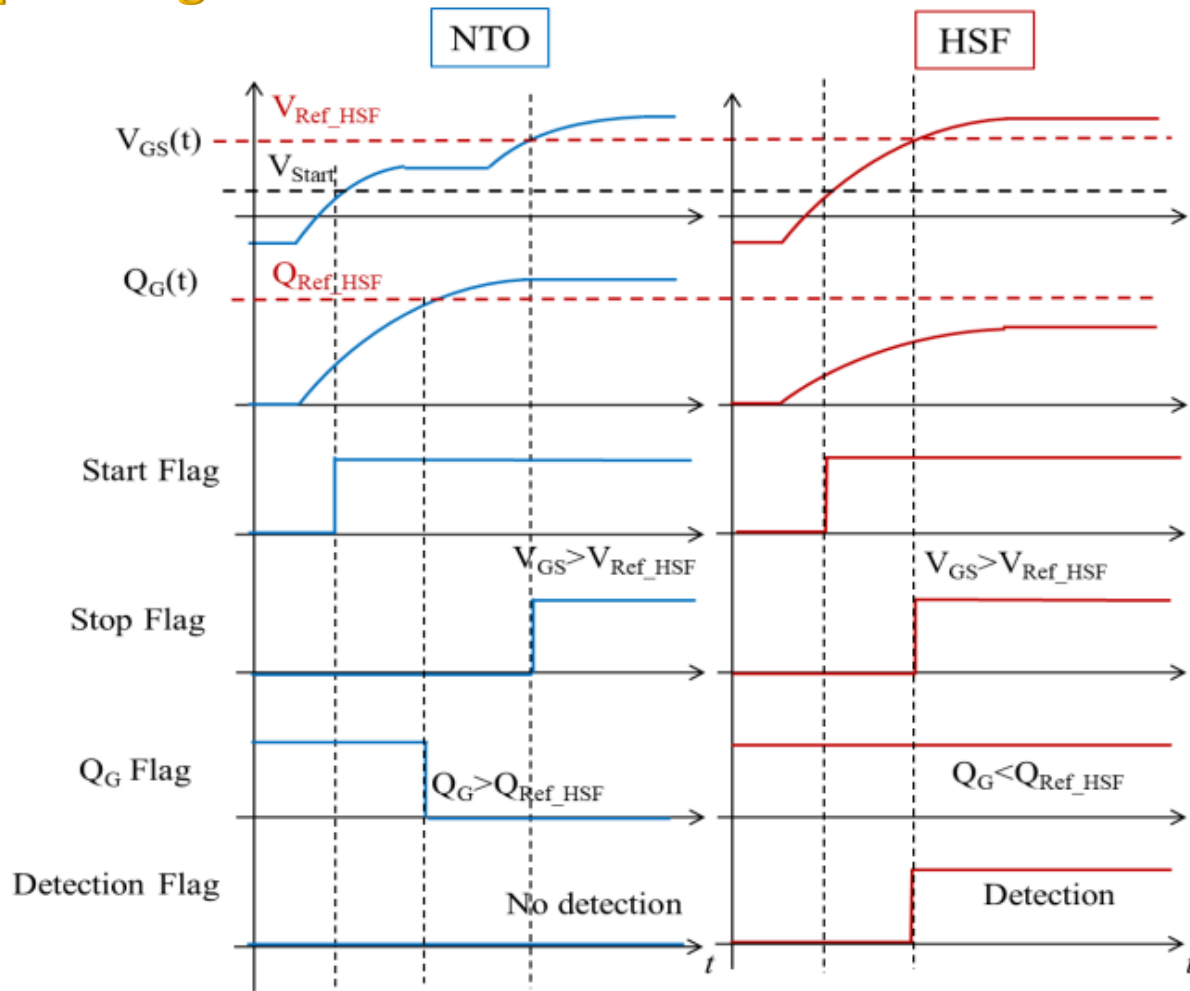
Direct Soft Shut-Down au blocage sur défaut de court-circuit

### 3) Protection rapide du Mosfet SiC en CC

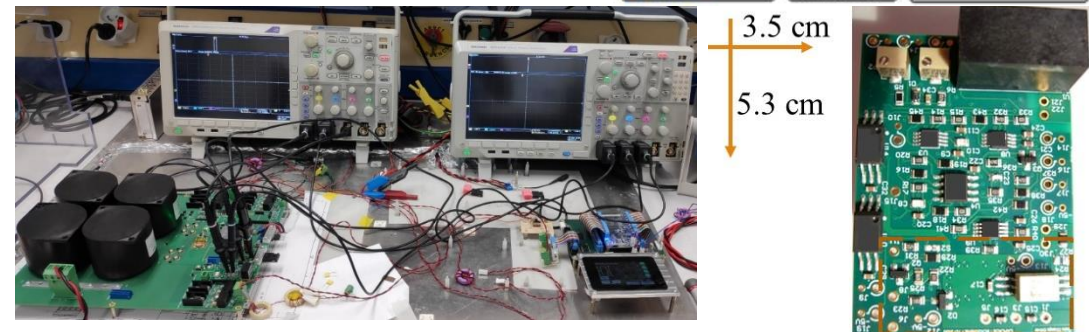
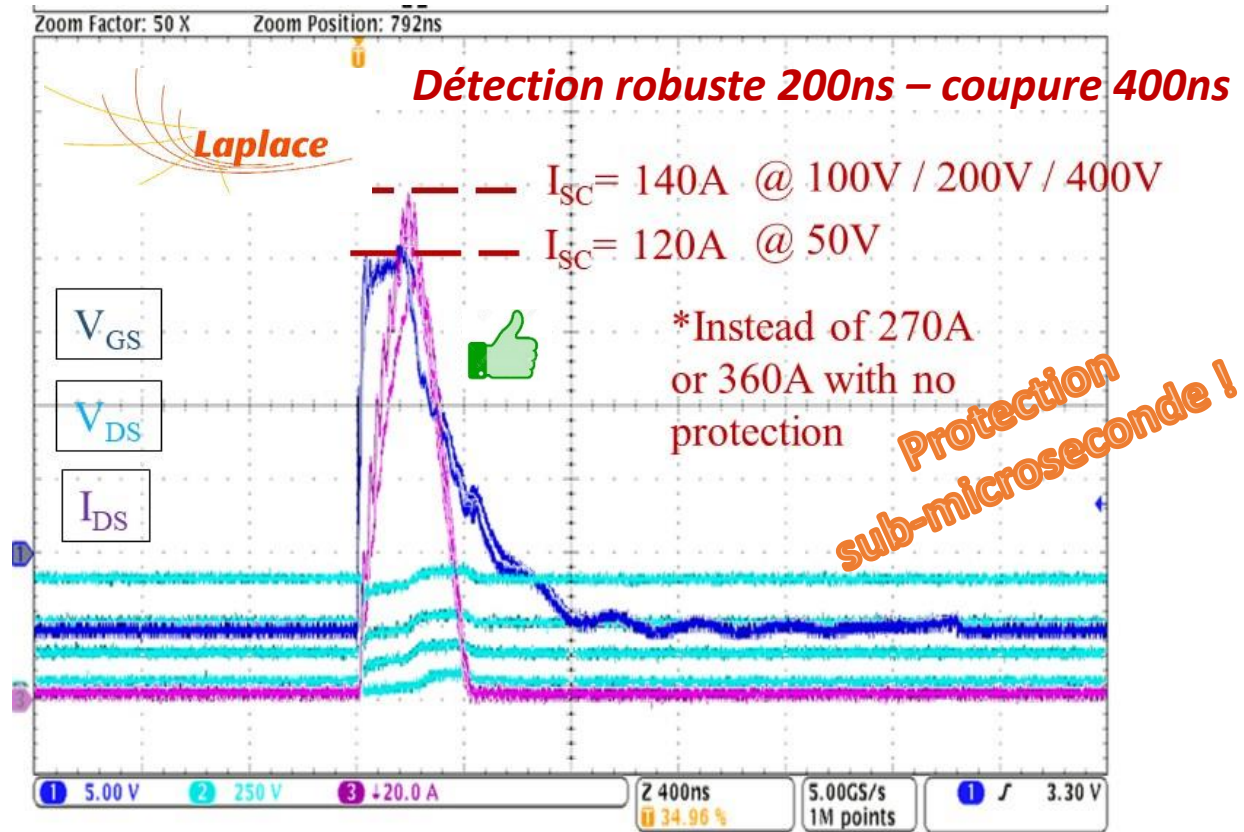
1<sup>er</sup> méthode : surveillance de  $Q_{gate}$

## Approche

## "petit signal"



Résultat sur CC type 1 / Cree gen. I et II /  $80m\Omega$ -1,2kV -  $65m\Omega$ -900V



Thèse Yazan Barazi, 1<sup>er</sup> octobre 2020 – Laplace – Tlse INP

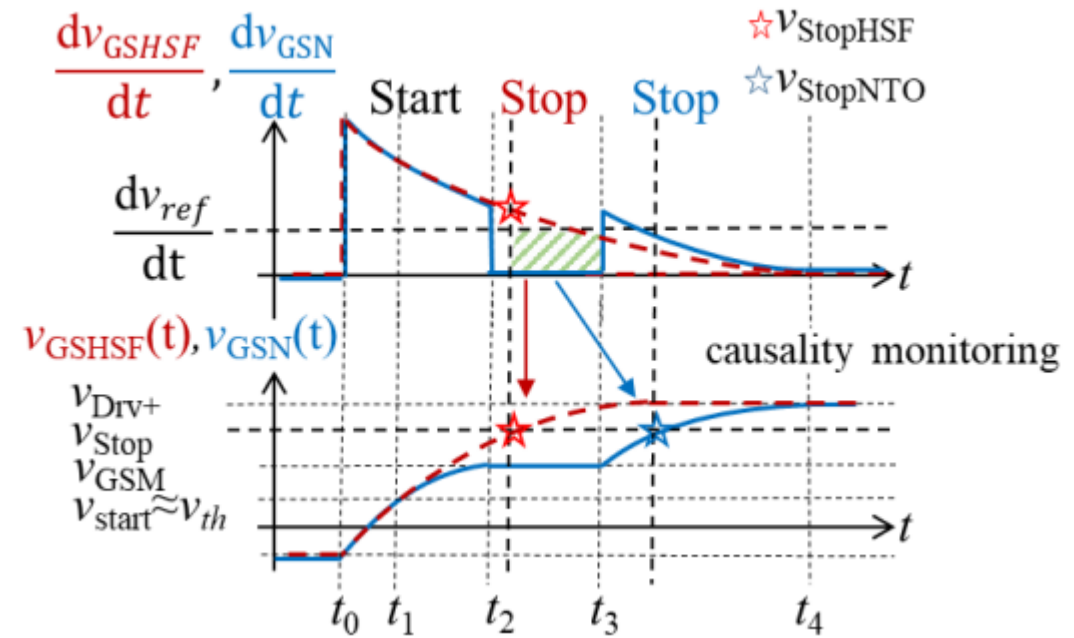
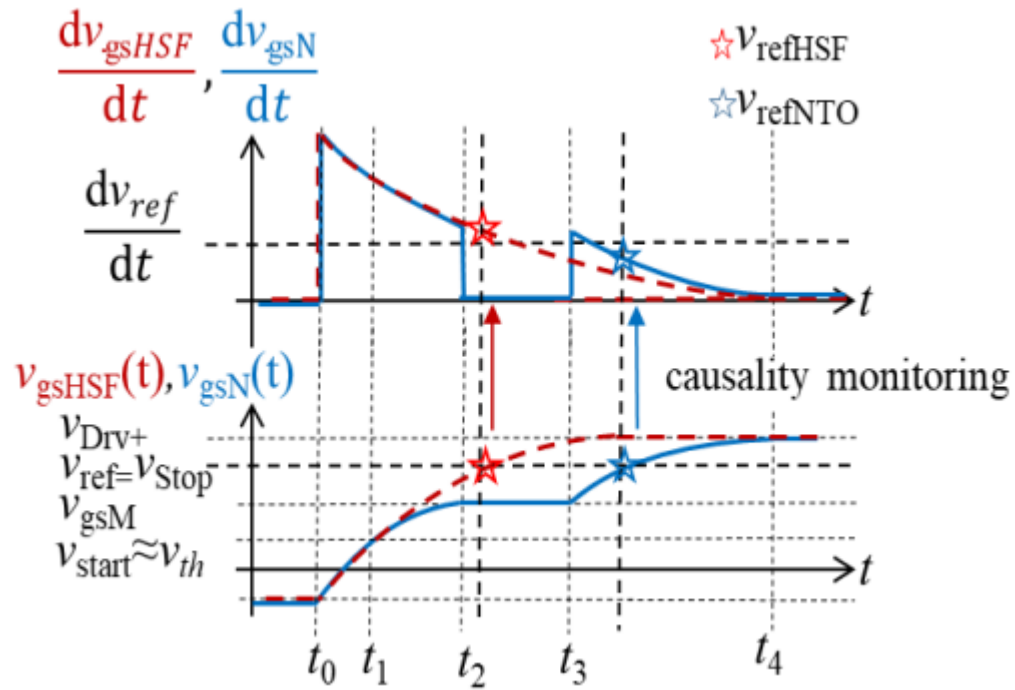
Nicolas Rouger / Frédéric Richardeau

### 3) Protection rapide du Mosfet SiC en CC

## Approche

## "petit signal"

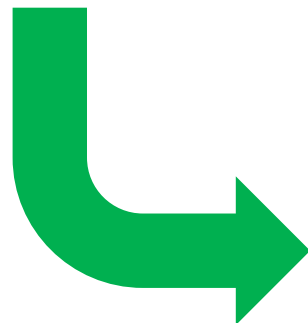
2<sup>ème</sup> méthode : surveillance de  $V_{gs}$  et  $dV_{gs}/dt$



Thèse Yazan Barazi, 1<sup>er</sup> octobre 2020 – Laplace – Tlse INP  
 Nicolas Rouger / Frédéric Richardeau

### 3) Protection rapide du Mosfet SiC en CC

Protection sub-microseconde ??  
Intérêt ??

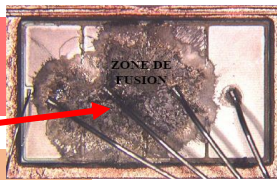
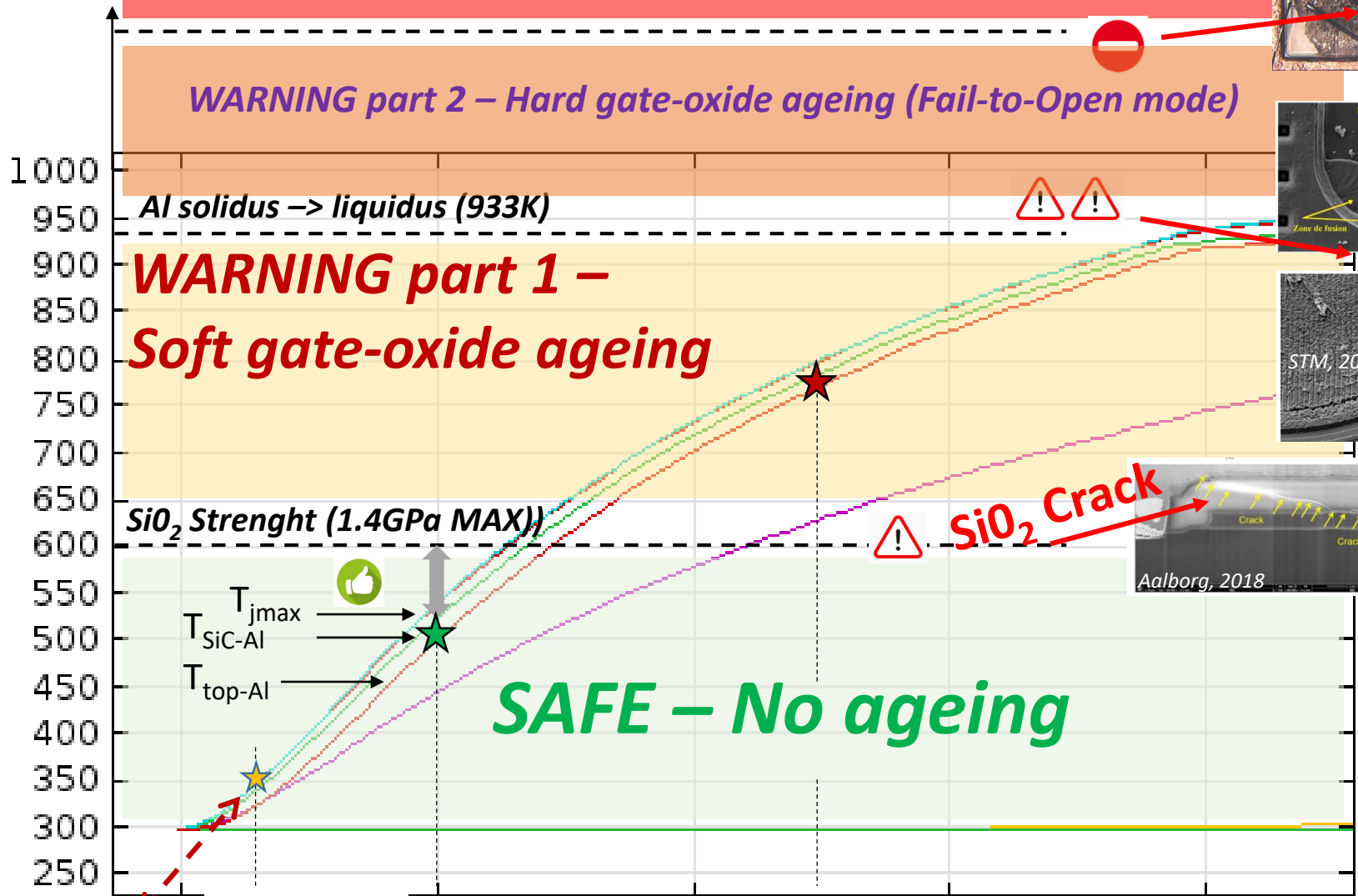


**Destructive area (FTS failure-mode)**

**WARNING part 2 – Hard gate-oxide ageing (Fail-to-Open mode)**

**WARNING part 1 – Soft gate-oxide ageing**

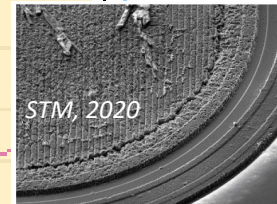
**SAFE – No ageing**



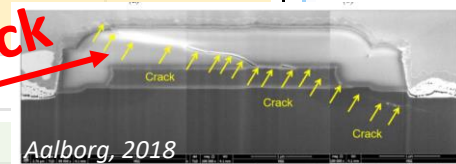
Dou, 2011



Othman, 2015



STM, 2020



Aalborg, 2018

2020 Y.BARAZI'Ph.D.

Détection 200ns

Protection sub-microseconde

Protection standard @Tscw / 2 par Vds sat



Laplace