



**MINISTÈRE  
DES ARMÉES**

*Liberté  
Égalité  
Fraternité*

**LES RENDEZ-VOUS FIABILITE DU CFF**



# Challenges posés pour l'expertise technologique des composants grands gap SiC. L'expérience DGA

Christian MOREAU  
Senior Fellow Expert  
DGA MI

*christian.moreau@intradef.gouv.fr*



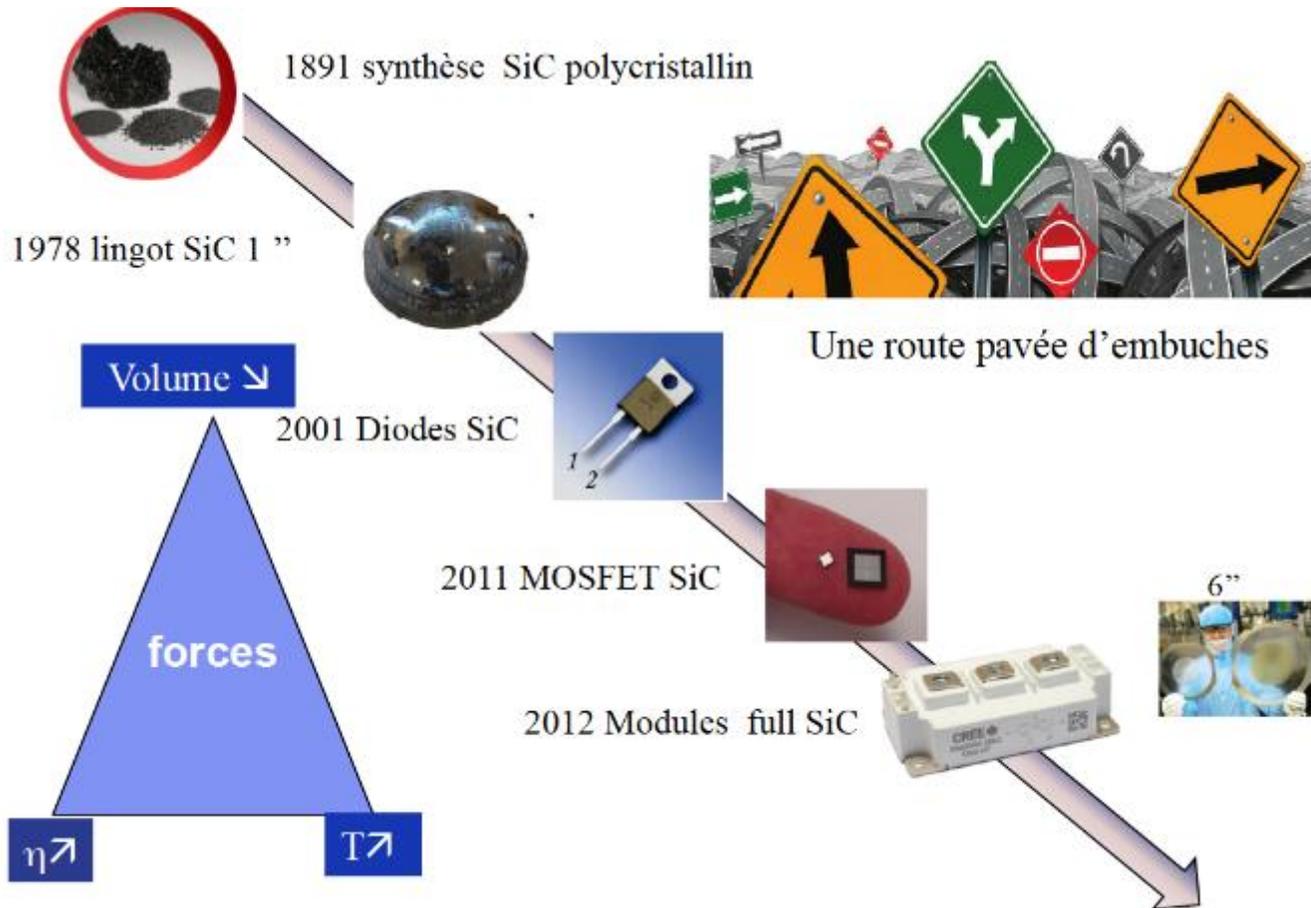
# Sommaire

1. Introduction sur l'écosystème SiC et sur ses conséquences pratiques vis-à-vis de la fiabilité.
2. Maîtrise des évolutions des procédés de fabrication et de ses impacts.
3. Démonstration de la fiabilité par les fabricants.
4. Maîtrise de la fiabilité par la réduction des défauts extrinsèques du matériau SiC.
5. Conclusions.



# 1. Introduction sur l'écosystème SiC

# Introduction sur l'écosystème SiC (1)



# Introduction sur l'écosystème SiC (2)



**ICSCRM 2017 (Washington)**  
(International Conference on Silicon Carbide and Related Materials)

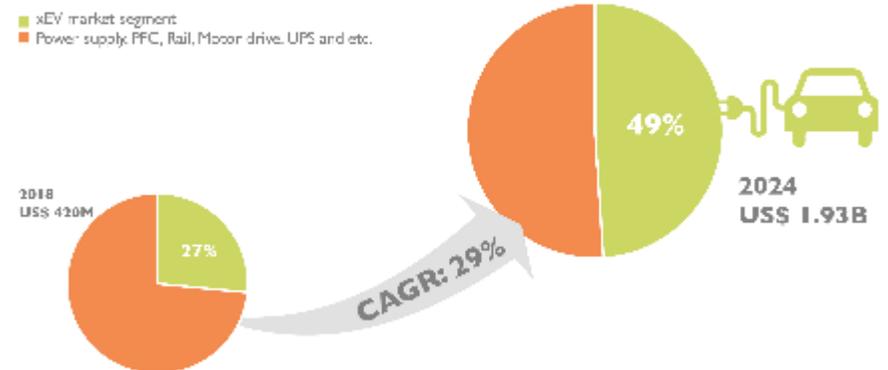
« Moving from Niche to mainstream »

- η | 2% ▶ - 1000\$ (EV) batteries
- η | 1% ▶ - 2M\$/an (centrale 100 MW)

Source : CS et GF (ICSCRM 2017)

## 2018-2024 SiC market evolution Special focus: automotive market segment

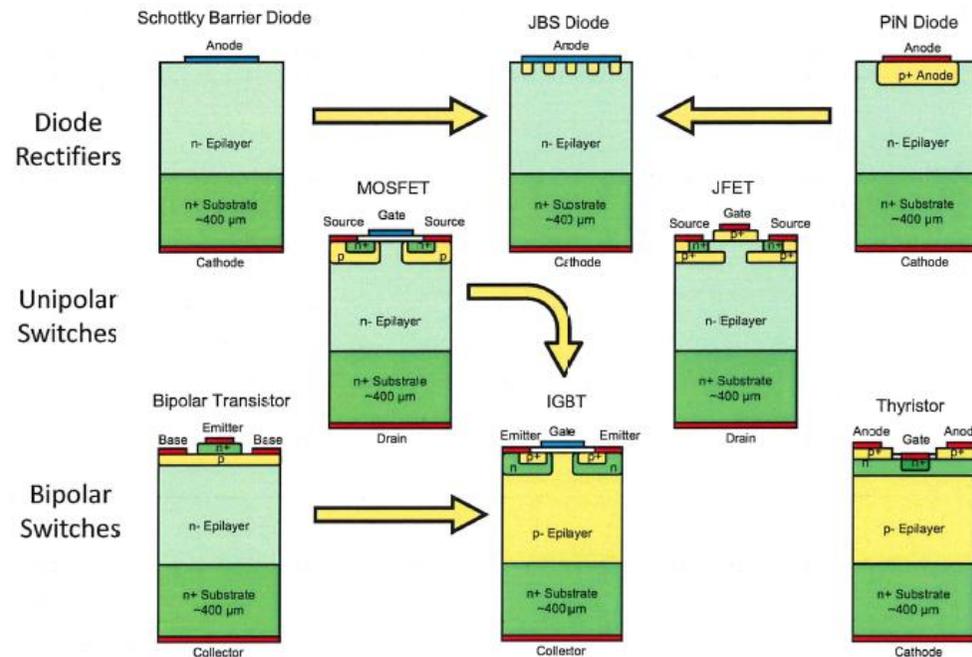
(Source: Power SiC 2019: Materials, Devices, and Applications report, Yole Développement 2019)



De plus en plus de composants qualifiés automobile AEC - Q101

# Introduction sur l'écosystème SiC (3) de 650 V à 3300 V

- **Un large panel en théorie mais pratiquement domination des diodes et des MOSFET.**



Source : J. Cooper (Purdue University)

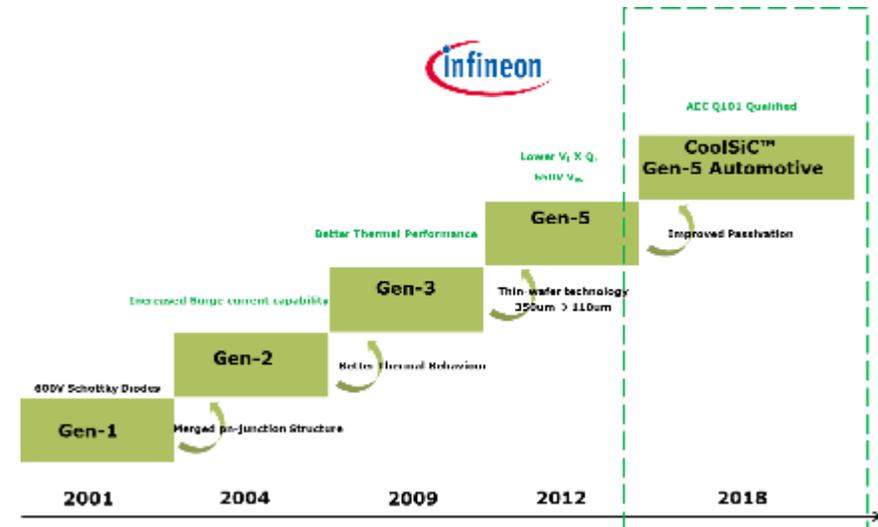
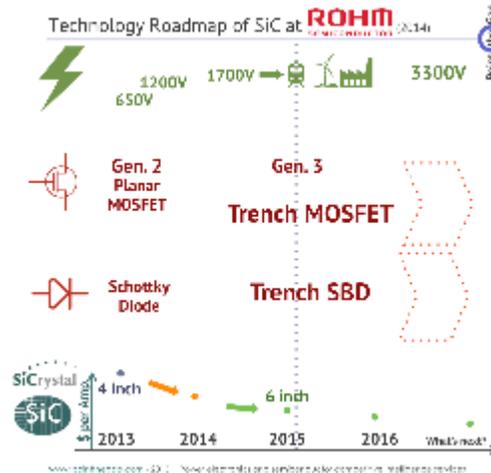
# Conséquences pratiques de l'écosystème SiC

- Comme toutes les technologies émergentes, un grand nombre de générations technologiques existe chez tous les fabricants.
  - ➔ Gestion rigoureuse des configurations au niveau des procédures d'achat
  - ➔ Méthodes d'AQ évolutives
  - ➔ Pathologie des défauts différentes /Génération

## STSiC MOSFET series positioning



Breakdown Voltage	650V	1200V	1700V	3300V
Series	62	61	62	61
R <sub>DS(on)</sub>	18.50mΩ	52.52mΩ	22.75mΩ	65.1102mΩ
I <sub>DM</sub> (Avalanche)	43-120A	12-15A	40-100A	1-20A
Focus Applications	Power Conversion EV Drive DC-DC	Power Conversion Inverter EV	Power Conversion EV Drive EV-SEV Traction	Power Conversion EV Drive EV-SEV



Challenge n° 2 : nombreuses évolutions

# Impact sur la fiabilité vue par l'utilisateur

- De nombreux points communs avec les technologies SC de puissance Silicium mais aussi des spécificités liées au matériau et aux procédés de fabrication.

Rendement, défektivité, déverminage



Fiabilité intrinsèque (TDDb, BTI, EM,..)

Lois de vieillissement, durée de vie



Technologies

**Fiabilité**

Processus

Utilisations



Robustesse (SOA, UIS,...)

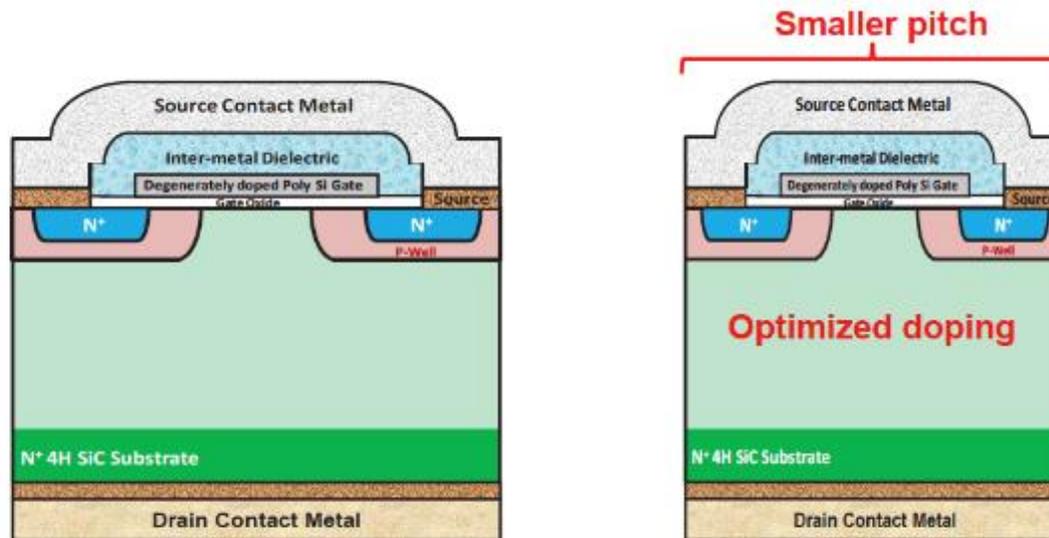
Processus AQ composant

Processus AQ système



## 2. Maîtrise des évolutions des procédés de fabrication

## Des structures MOSFET Si/SiC très similaires .....



Gen 2 DMOS

Commercially released in 2013

Gen 3 DMOS

Same high reliability DMOS Structure, but optimized to dramatically reduce die size

CREE

Challenge n° 3 : ne pas reproduire aveuglement les raisonnements sur Si



# Différences de process Si/SiC

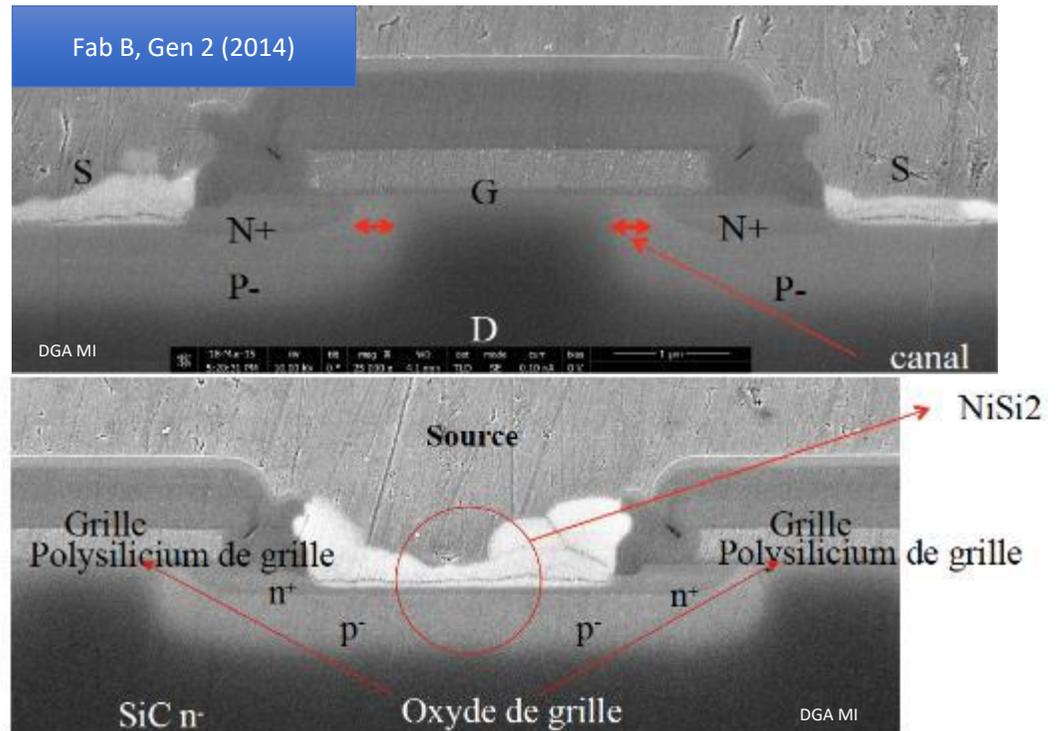
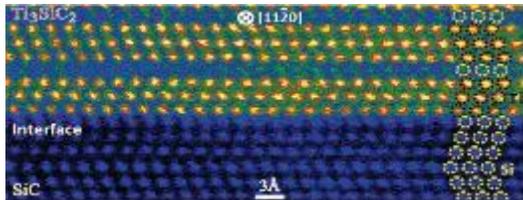
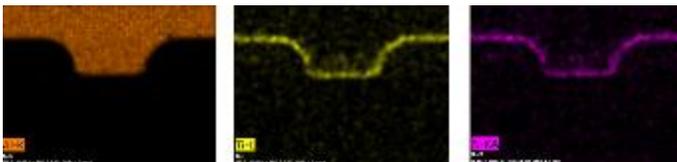
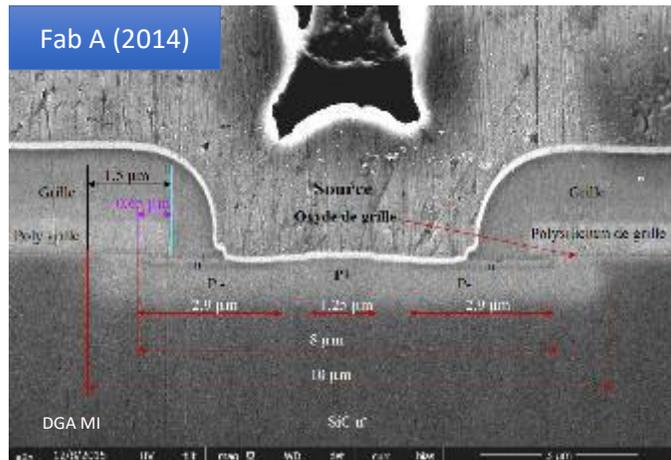
T ↗



process		Si	SiC	processing issue
substrate		opaque	transparent	<ul style="list-style-type: none"> <li>optical processes: focus</li> <li>robotic needs adaption, (e.g. UV-LED detectors)</li> <li>backside reflections</li> <li>special defect inspection</li> </ul>
epitaxy		< 1200°C	1500°C	special equipment
doping	n-type	P, As, (Se..)	N, (P)	control of [N] in epi process
	p-type	B, (Al)	Al, (B)	special source for Al
	diffusion	yes	no	doped regions are flat
	annealing	800-1200°C	> 1700°C	high temp. furnace
patterning	etching	wet / dry	dry	selectivity to etch mask
MOS	gate oxide	thermal	thermal	nitridation needed, usually done with NO or N <sub>2</sub> O
ohmic contact	formation temp.	400° C	~ 1000°C	extra metal of special composition, RTP process needed

# Quelques illustrations sur les évolutions des technologies SiC → dialogue constructeur

- Cas des contacts ohmiques S/D sur MOSFET



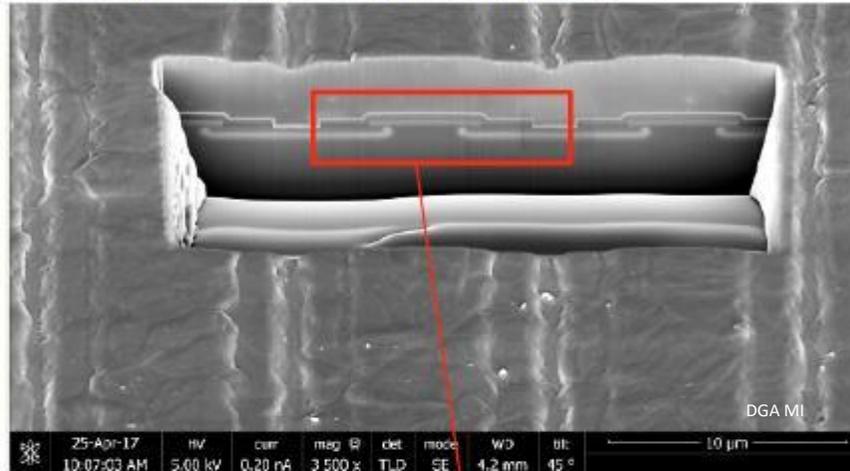
Rôle complexe des intermétalliques :  $Ti_3SiC_2$ ,  $Al_4C_3$ ,  $TiSi_2$ ,  $TiSi$ ,...

Impact fiabilité : Rcontact (Cp,Cpk), spiking, stabilité métallurgique (JEDEC) ?

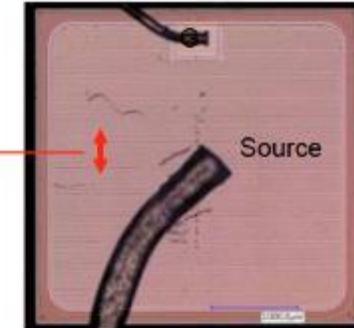
# Quelques illustrations sur les évolutions des technologies SiC

## → étude de cas sur MOSFET (1)

Vue inclinée au MEB de l'ouverture réalisée au FIB

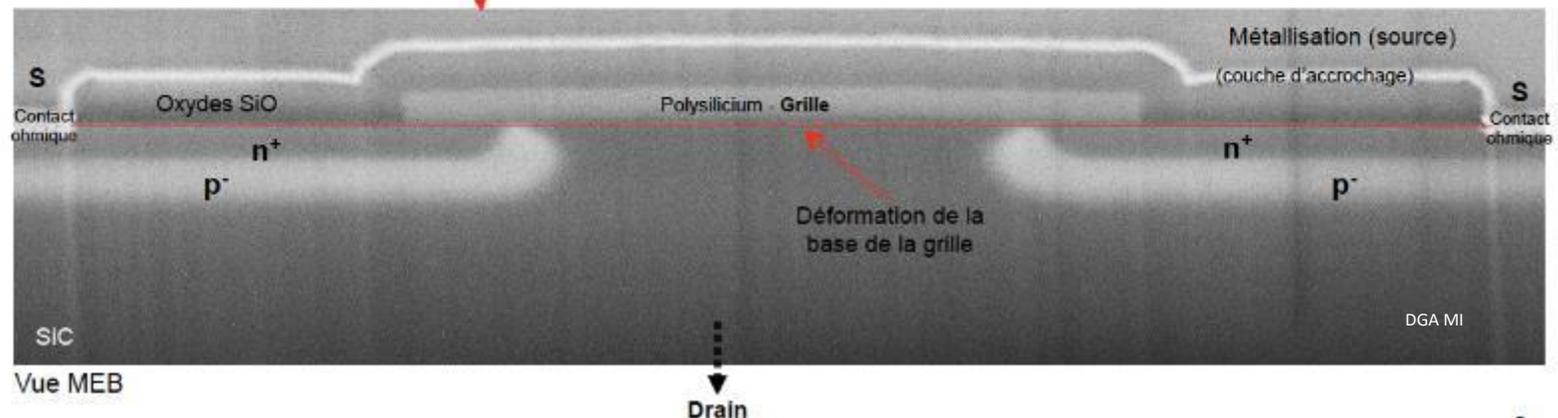


Coupe FIB



Vue de la surface  
(drain face arrière)

**Déformation anormale de la base de la grille**  
→ Aucun artefact possible (coupe FIB)



Vue MEB

Drain

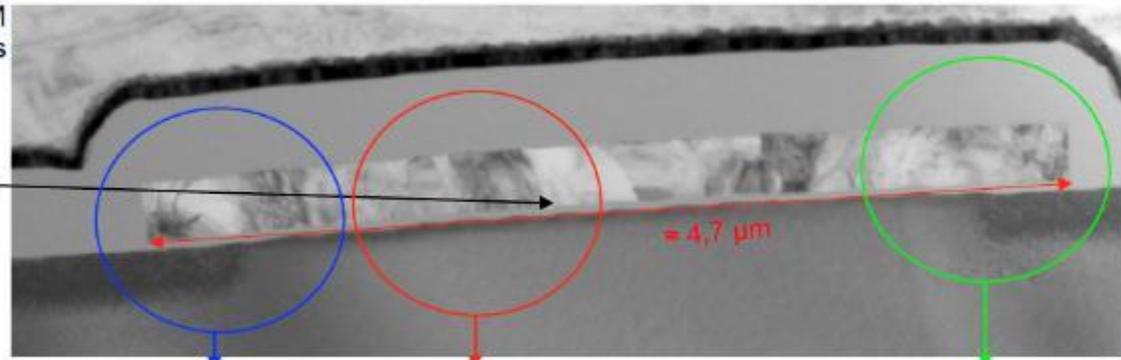
Fab C  
GEN 1  
Electrical Sample  
2015

# Quelques illustrations sur les évolutions des technologies SiC → étude de cas sur MOSFET (2)

Analyse HRTEM  
Tescan Analytics

**Déformation à l'échelle de la grille :**

Flèche de l'ordre de 40 nm sur 4,7  $\mu\text{m}$  de long, systématiquement présente sous chaque grille



**Déformation à l'échelle du substrat :**

Rugosité de l'ordre de 10 nm À l'échelle de 0,2  $\mu\text{m}$  environ

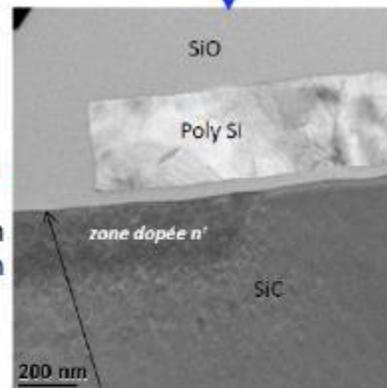


Image 4

surface plane

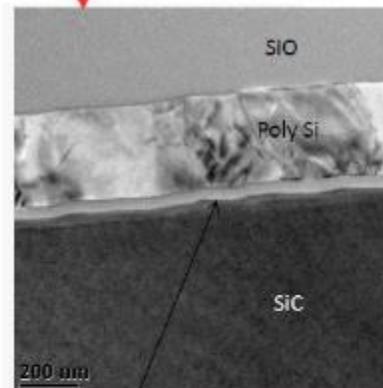


Image 5

surface rugueuse

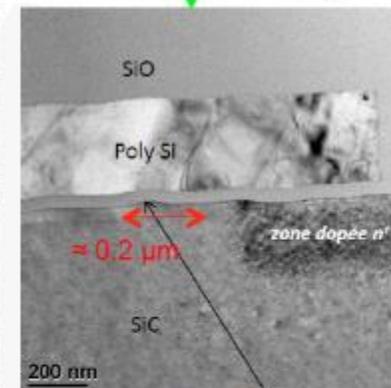


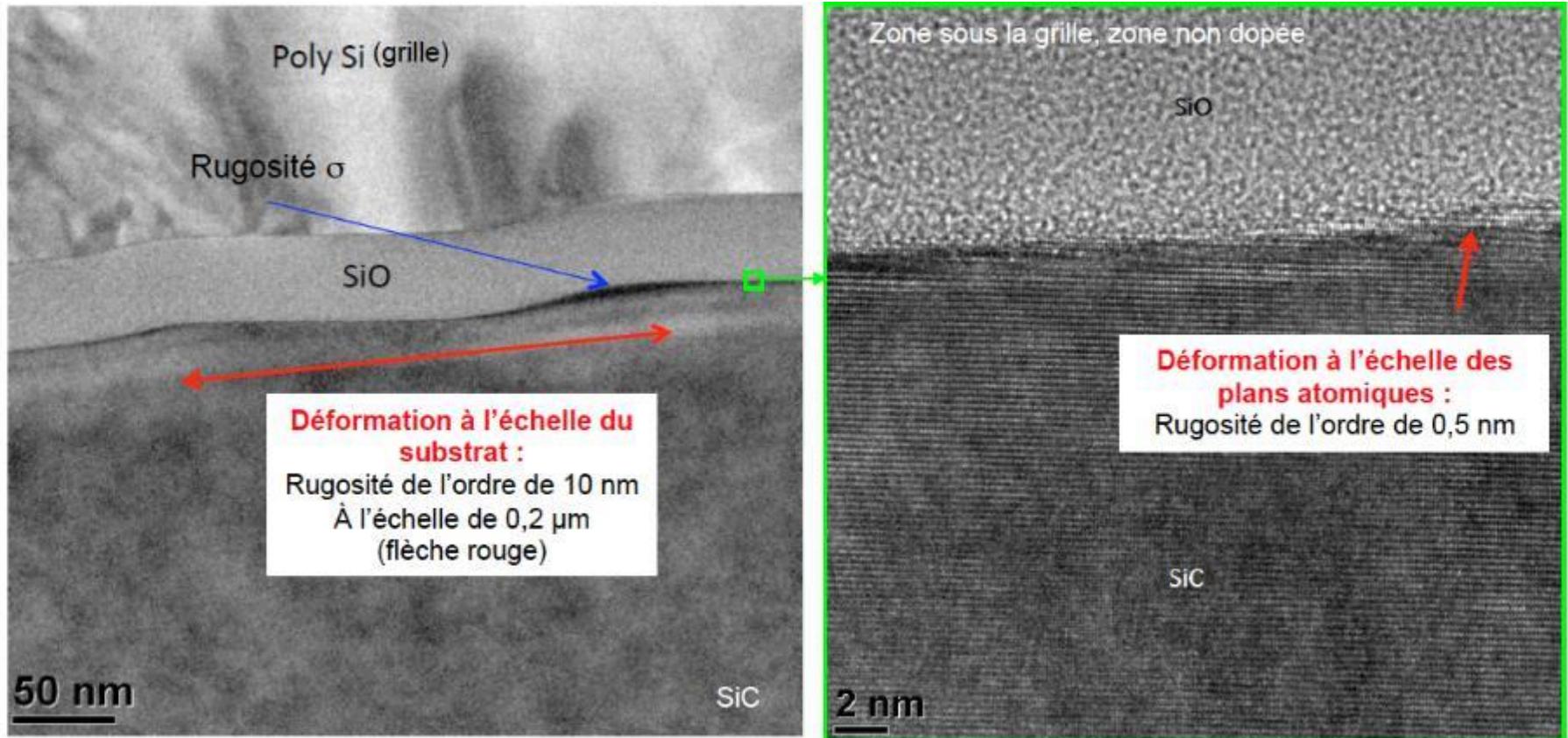
Image 6

surface rugueuse

Impact fiabilité potentiel: stabilité Oxyde de grille, dérive  $V_{th}$ ,... TDDB  
Impact performances : maîtrise du Ron

# Quelques illustrations sur les évolutions des technologies SiC

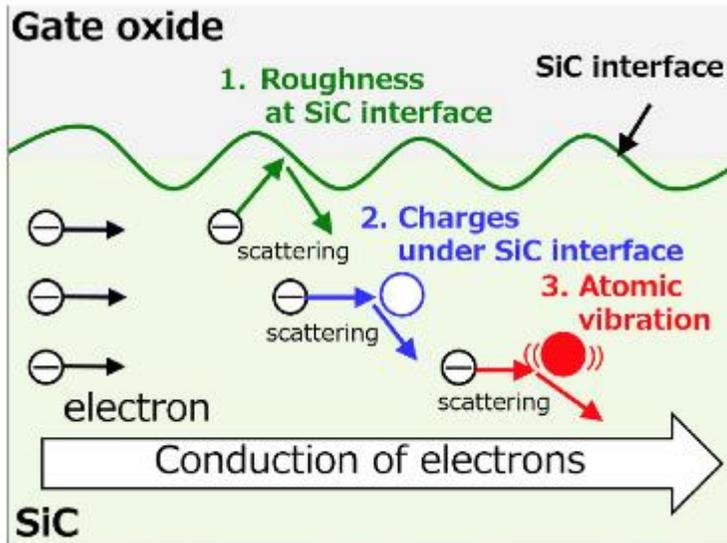
## → étude de cas sur MOSFET (3)



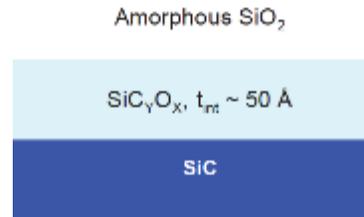
Impact fiabilité potentiel: stabilité Oxyde de grille (dérive  $V_{th}$ , TDDDB, BTI,...)

Impact performances : maîtrise du Ron

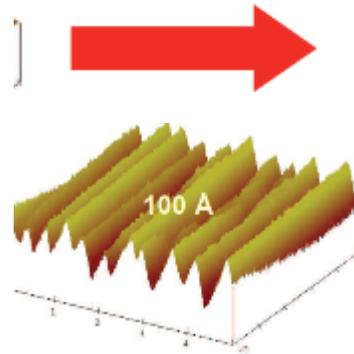
# Quelques illustrations sur les évolutions des technologies SiC → étude de cas sur MOSFET (4)



Source : Mitsubishi et université de Tokyo (Compound Semiconductor déc. 2017)

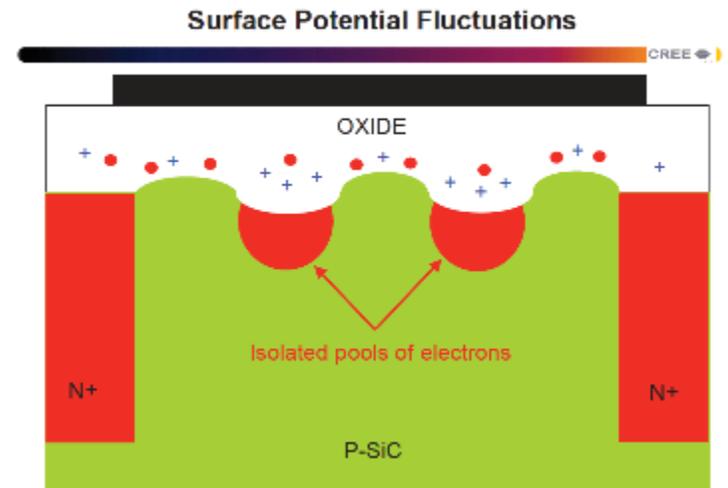


**1600°C Implant Activation Anneal**



**D<sub>IT</sub> !!!!!**

**Non-Idealities in the SiC MOS System**



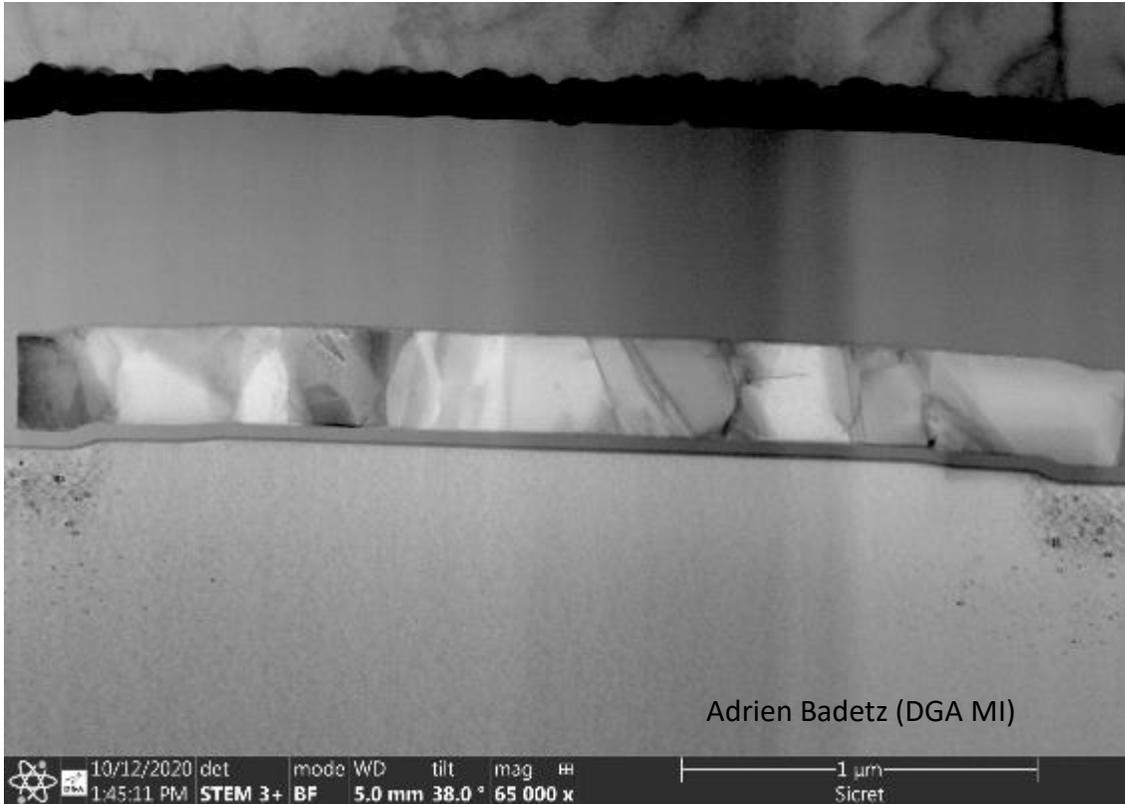
Source : K. Das (Cree)

Impact fiabilité potentiel: stabilité Oxyde de grille, dérive V<sub>th</sub>,.... TDDB

Impact performances : maîtrise du Ron



# Quelques illustrations sur les évolutions des technologies SiC → étude de cas sur MOSFET (5)



Adrien Badetz (DGA MI)

Fab C  
2020 Gen 2  
(qualifiée automobile)  
Disparition des défauts

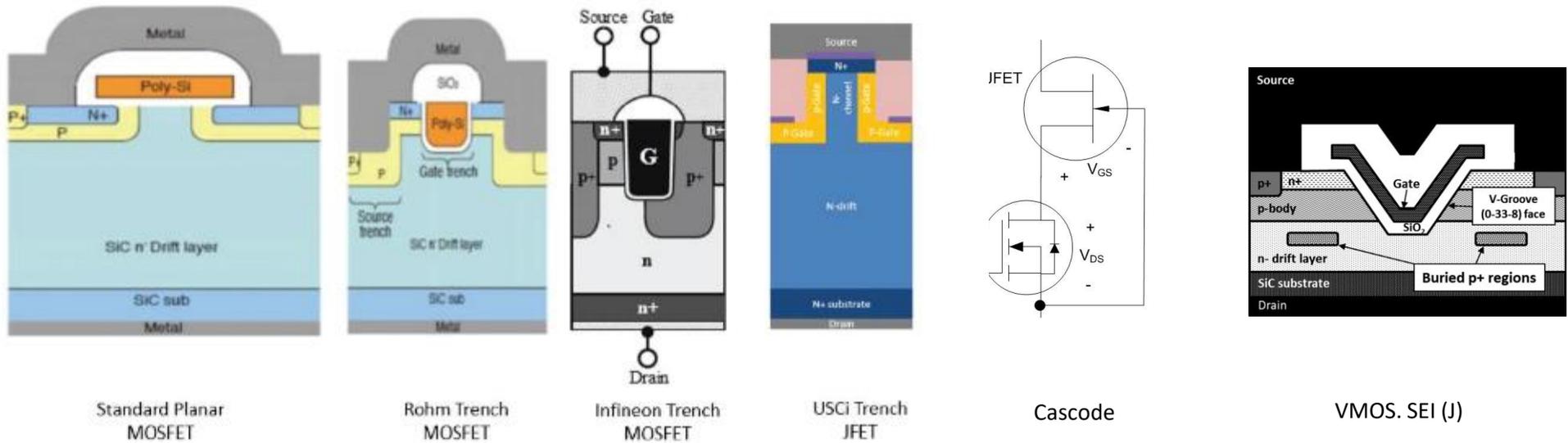
Challenge n°5 : manager les défauts invisibles aux interfaces SC/SiO<sub>2</sub>

**DiT !!!** → N<sub>2</sub>, POA, S,....



### 3. Démonstration de la fiabilité par les fabricants

# Benchmarking des démonstrations de la fiabilité par les fondeurs (4) : Physics of Failure (PoF)



SiC transistor types available in the 650–1200 V class 2016–2017.

Challenge n° 6: adapter la PoF à chaque cas

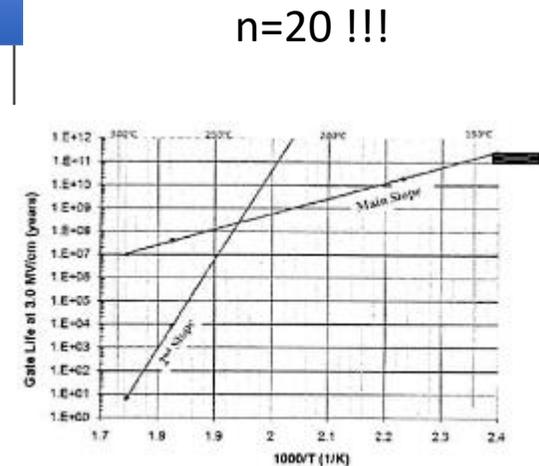
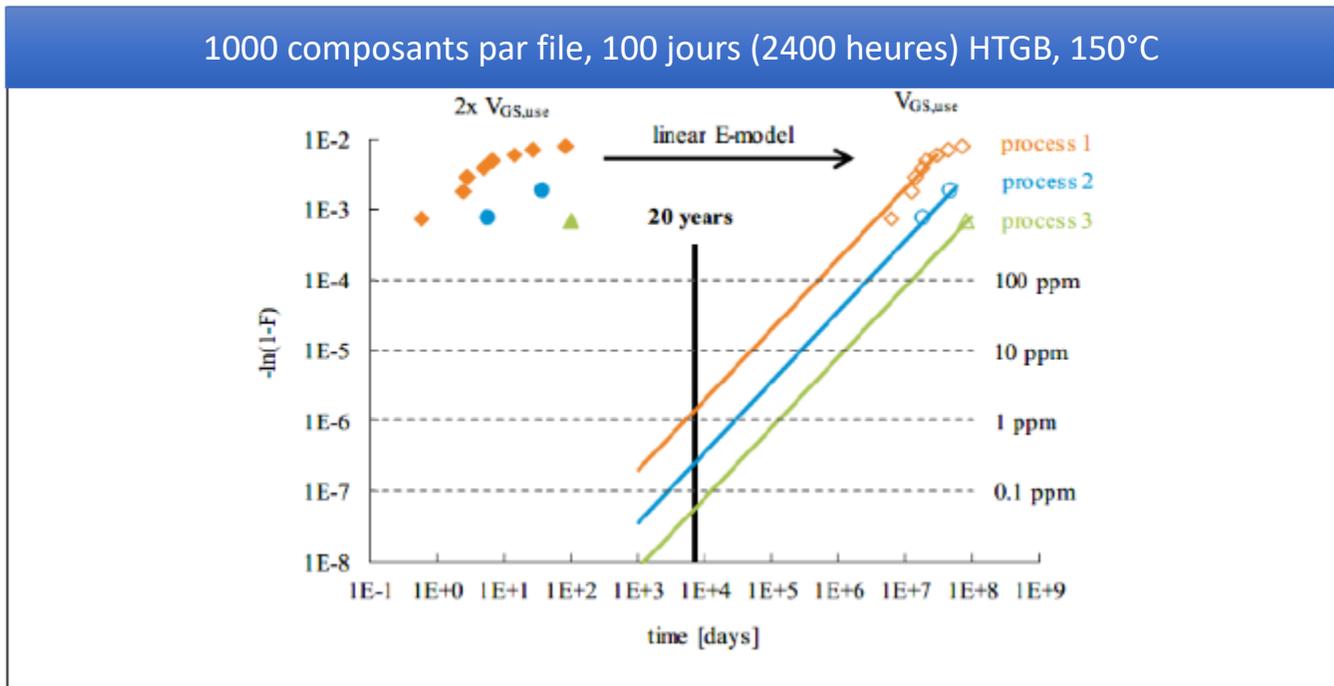
# Benchmarking des démonstrations de la fiabilité par les fondeurs (1) : approche JEDEC

寿命試験 (Life Test)				
試験項目 Test Item	試験方法／準拠規格 Test Method/Standard	試験時間 Test Condition	サンプル数 n(pcs)	不良数 pn
ΔTjパワーサイクル ΔTj power cycle	ΔTj=100°C±5°C、Tj≤150°C、Ta=25±5°C EIAJ ED-4701/100-106	15000cyc	5	0
ΔTcパワーサイクル ΔTc power cycle	ΔTc=50°C±5°C、Tj≤150°C、Ta=25±5°C EIAJ ED-4701/100-106	5000cyc	5	0
温度サイクル Temperature cycle	-40°C(60min)～RT(30min)～ 125°C(60min)～RT(30min) EIAJ ED-4701/100-105	100cyc	5	0
耐湿試験 Temperature humidity storage	85°C/85% EIAJ ED-4701/100-103	1000h	5	0
高温保存 High Temperature storage	Ta=150°C EIAJ ED-4701/100-201	1000h	5	0
低温保存 Low Temperature storage	Ta=-40°C EIAJ ED-4701/100-202	1000h	5	0
高温ゲートバイアス(+) High temperature gate bias(+)	Vgs=22V、Ta=150°C JESD22-A108	1000h	5	0
高温ゲートバイアス(-) High temperature gate bias(-)	Vgs=-6V、Ta=150°C JESD22-A108	1000h	5	0
高温逆バイアス High temperature reverse bias	Vds=960V、Vgs=0V、Ta=150°C EIAJ ED-4701/100	1000h	5	0

Source : Rohms (SiC Power Devices and Module) application note 2014

Travaux en cours dans le groupe JEDEC JC 70-2

# Benchmarking des démonstrations de la fiabilité par les fondeurs (3) : la durée de vie de l'oxyde de grille (a)

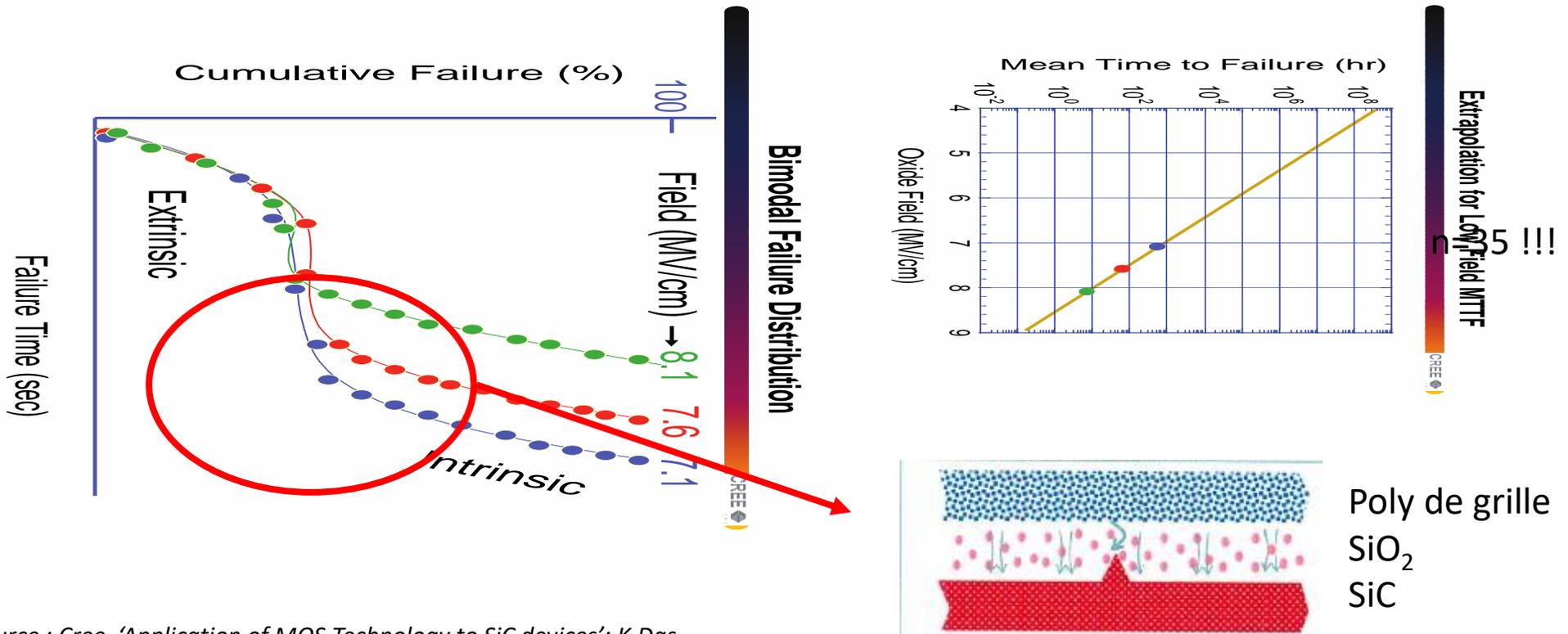


Source : Cree

TDDB : Time Dependant Dielectric Breakdown

Source : Infineon 'High Performance CoolSiC MOSFET Technology with Silicon like reliability'. Janvier 2020. Peter Friedrichs'

# Benchmarking des démonstrations de la fiabilité par les fondeurs (3) : la durée de vie de l'oxyde (b)



Source : Cree 'Application of MOS Technology to SiC devices'; K.Das

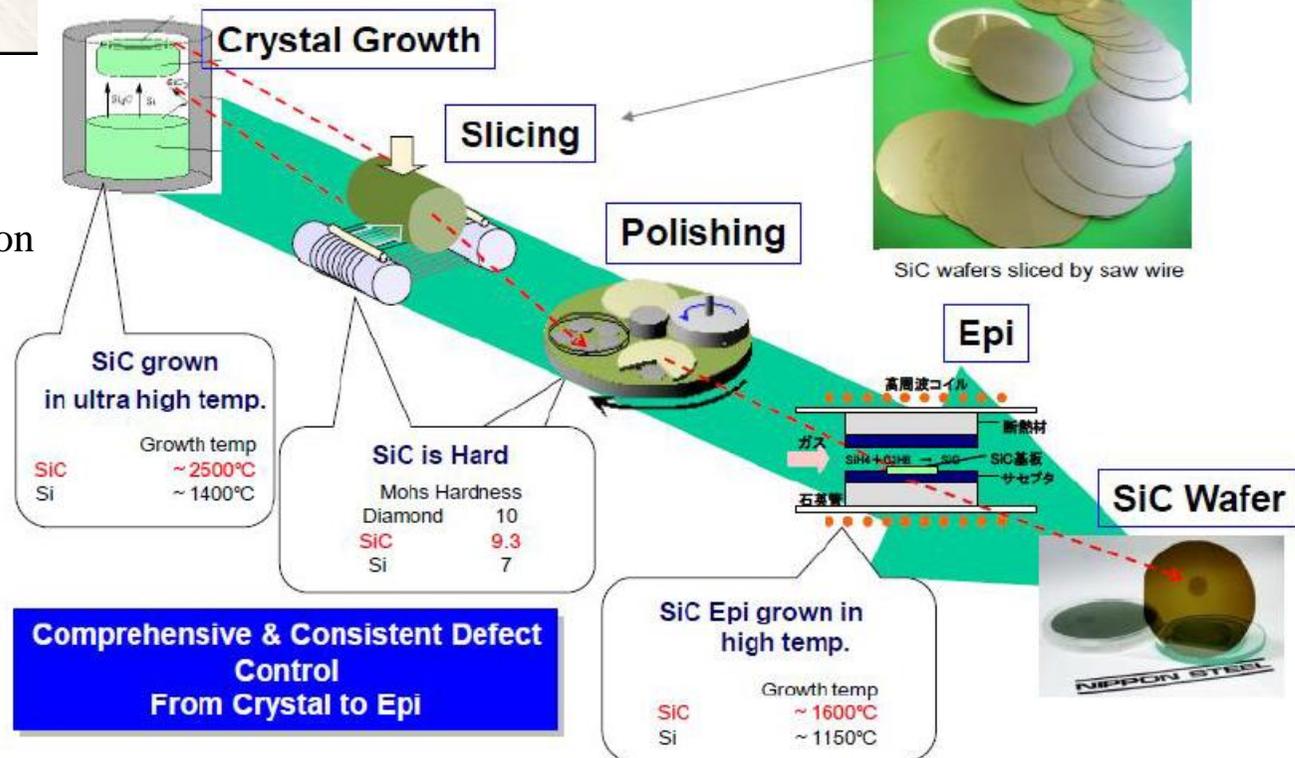


## 4. Maîtrise de la fiabilité par la réduction des défauts extrinsèques du matériau

# Généralités matériaux

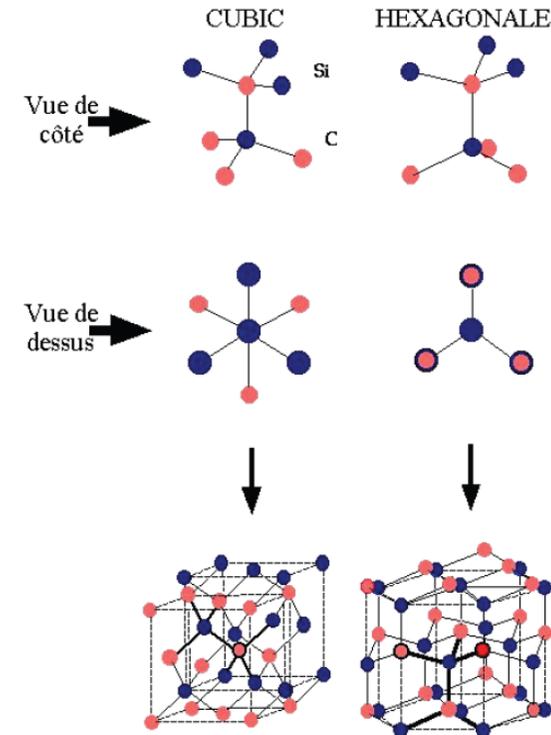
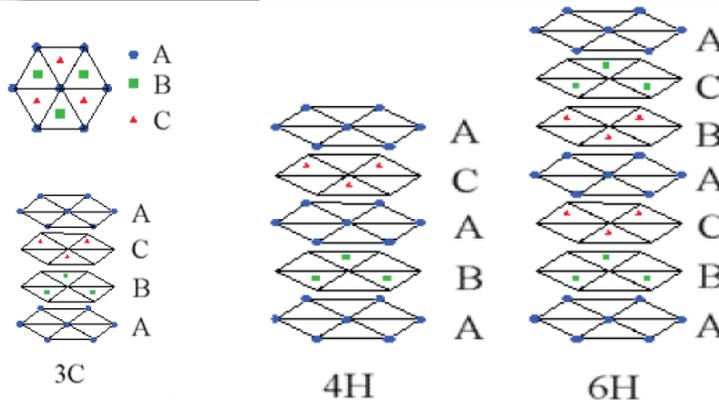
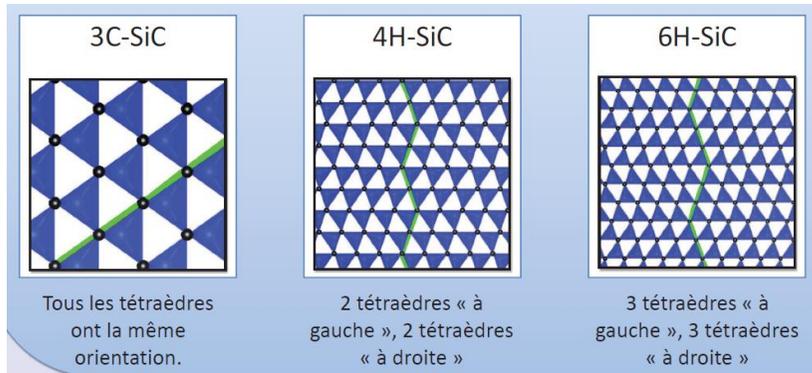


Sublimation  
HTCVD



Source : KTH Mickael Ostling

# Un matériau complexe avec plus de 200 polytypes



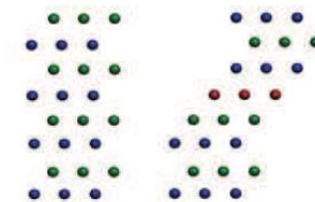
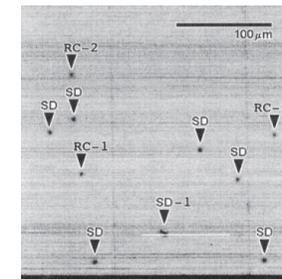
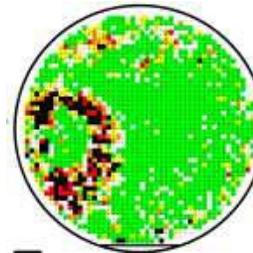
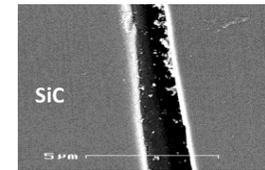
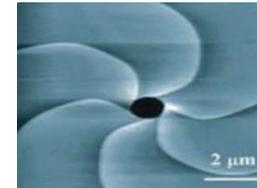
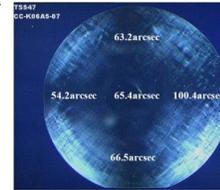
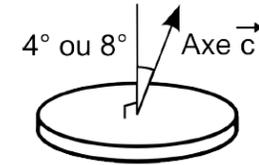
Matériau sujet naturellement à une forte densité de défauts cristallins

# Un matériau bourré de défauts !!!

- Désorientation volontaire de 4 ou 8° pour la croissance d'épitaxie pour éviter la formation de polytypes

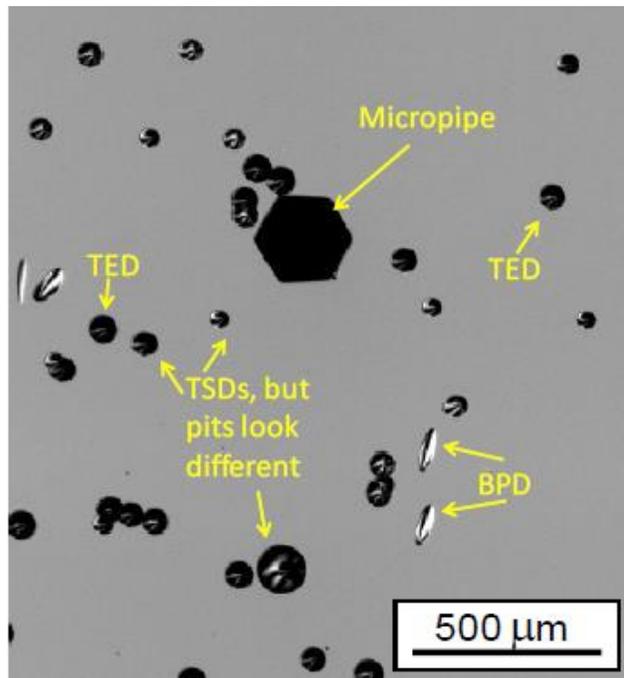
- Nombreux défauts cristallins:
  - % poly-types sur le substrat
  - taux de micro-pipes [0.01-5/cm<sup>2</sup>]
  - surface exempte de défauts [~ 70 – 95 %]

- Nombre de dislocations (vis, débouchantes, ...) > 10<sup>3</sup>/cm<sup>2</sup> - 10<sup>4</sup>/cm<sup>2</sup>
- défauts ponctuels (lacunes, inclusions)
- Densités de défauts d'empilements (zones 3C/4H ou 6H) [10/cm<sup>2</sup>]

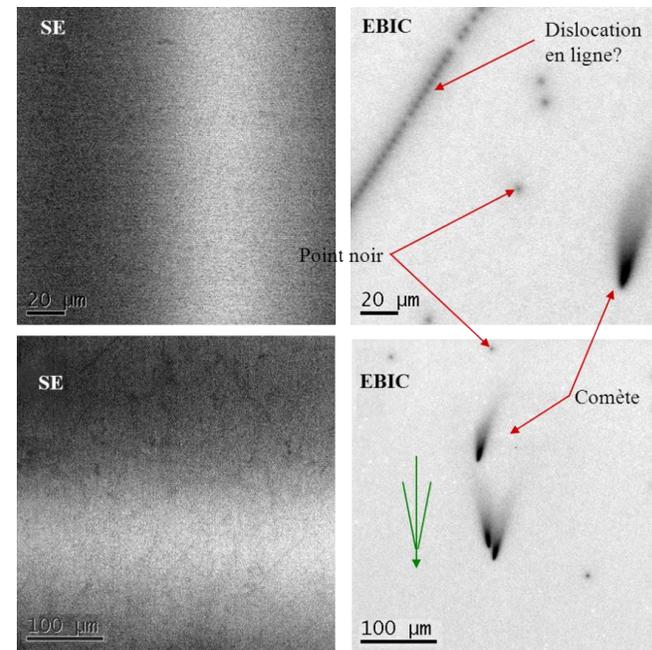


## Illustration des défauts cristallins

- Après révélation KOH ..... EBIC



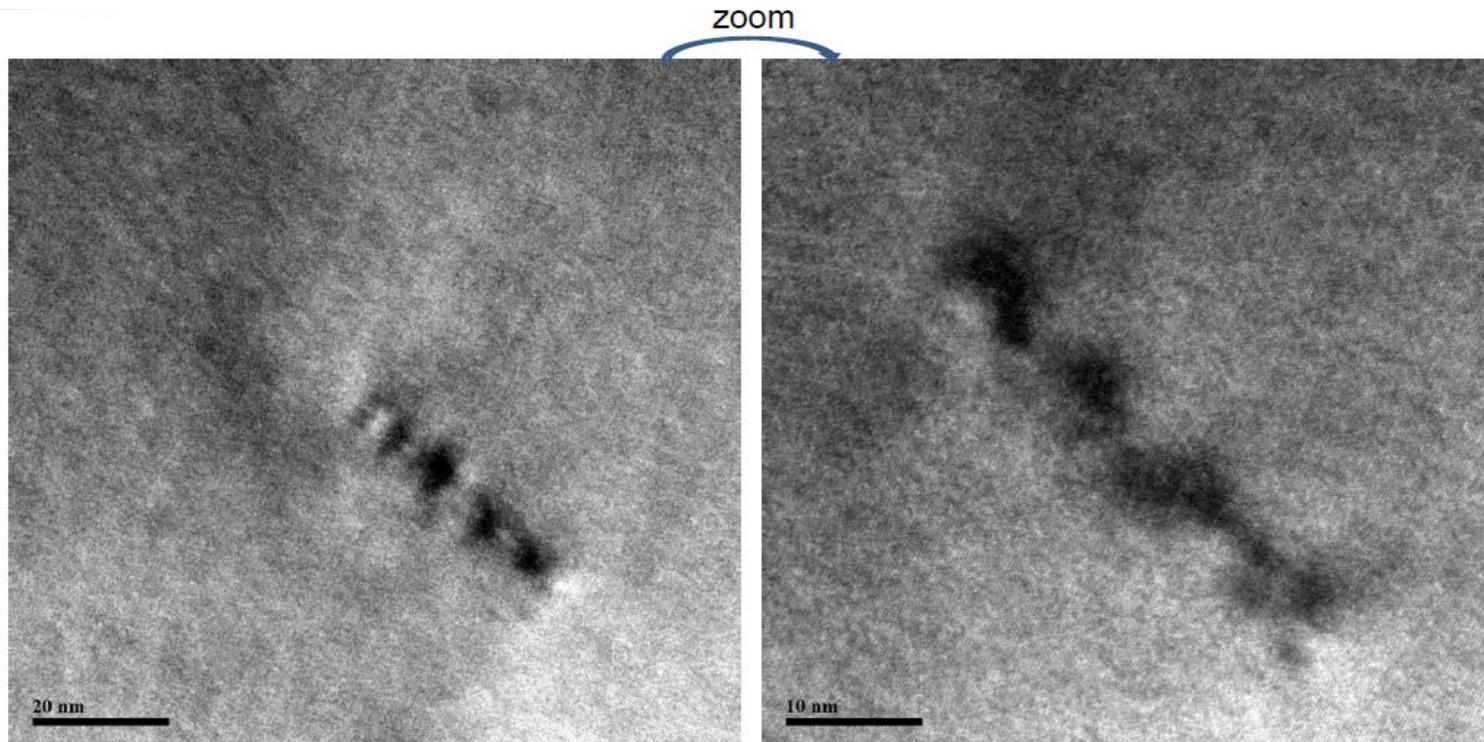
Source : J.J.Sumakeris (Wolfspeed 2015)



Source : D. Ruelloux DGA MI 2014

Challenge n° 7 : Corrélation avec les rendements et la fiabilité

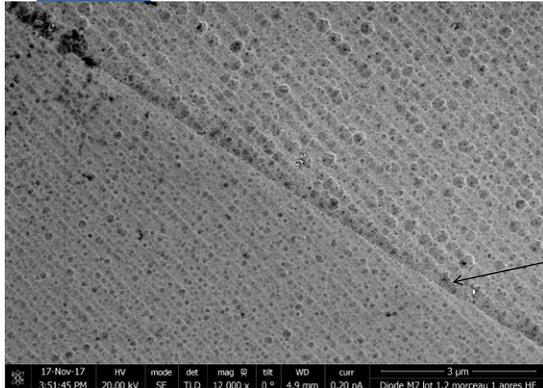
## Illustration du défaut de type dislocations coins révélé en EBIC à DGA MI



Source : D. Ruelloux (DGA MI 2014) et K. Rousseau ( Serma Technologies 2014)

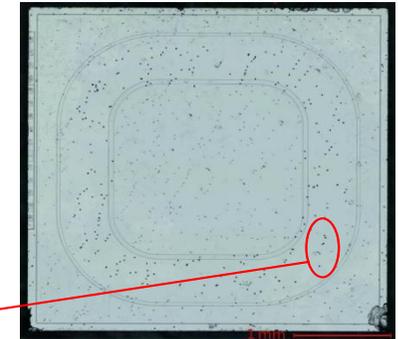
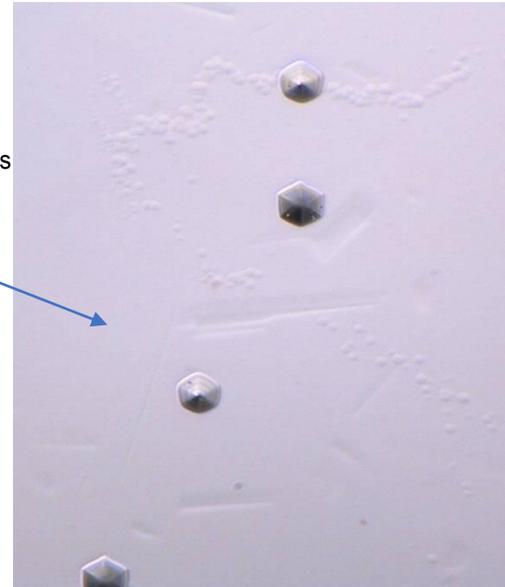
**Pas de corrélation claire avec les courants de fuite en inverse de la diode SiC**

# Portfolio de défauts observés à DGA MI



**Défauts cristallins révélés :**  
 TED (Threading Edge Dislocation)  
 TSD (Threading Screw Dislocation)

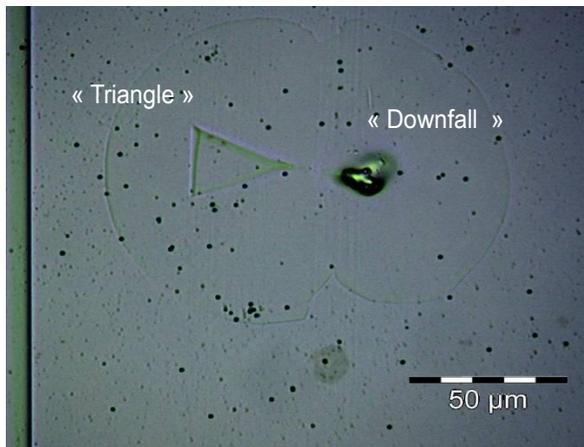
Estimation du nombre de défauts  
 révélés sur ce cas :  
 8500 défauts / cm<sup>2</sup>



Ci-dessus, substrat en SiC  
 après déprocess total et  
 attaque au KOH, ≈ 280°C, 1h).

Step bunching ↑

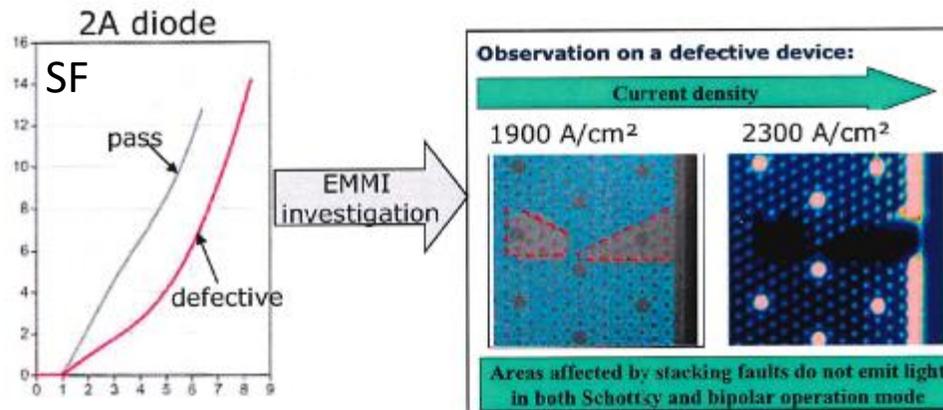
**Défauts cristallins visibles :**  
 Carotte, triangle, downfall (précipités)  
 Estimation sur ce cas : 2,5 défauts / cm<sup>2</sup>



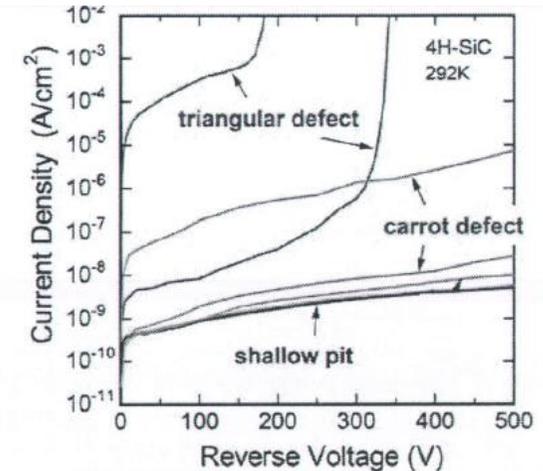
Vues optiques avec accentuation de contraste

# Impact des défauts sur les rendements électriques

- En fonction de leur importance et de leur localisation, impact plus ou moins grand sur le rendement, la fiabilité et les performances intrinsèques .



Source : D. Peters Infineon tutorial ICSR 2015

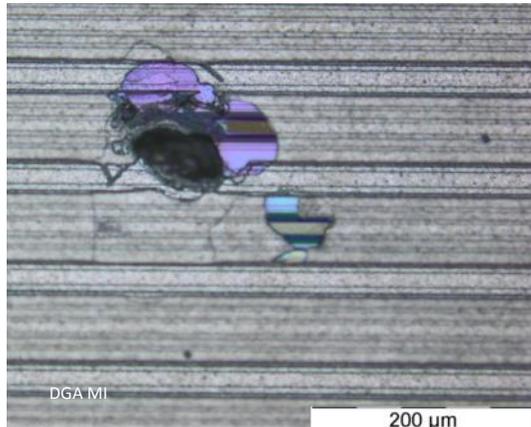


Source : T. Kimoto Kyoto University

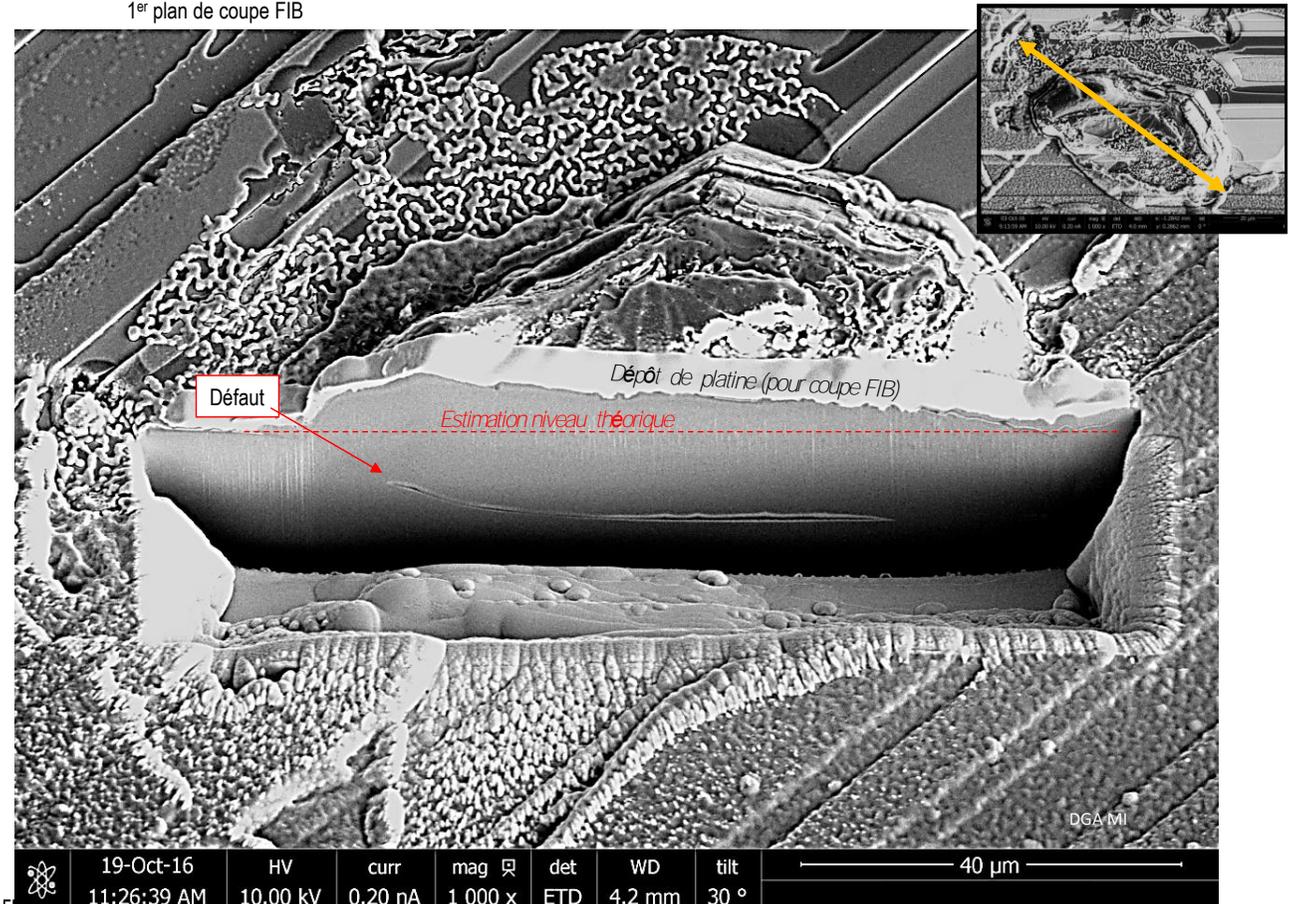
Amélioration notable de la qualité de l'épitaxie par les fondeurs : ex STM Catane

Source : Compound Semiconductor - Février 2019 - Refining SiC épigrowth for high volume production. Nicolò Piluso STM

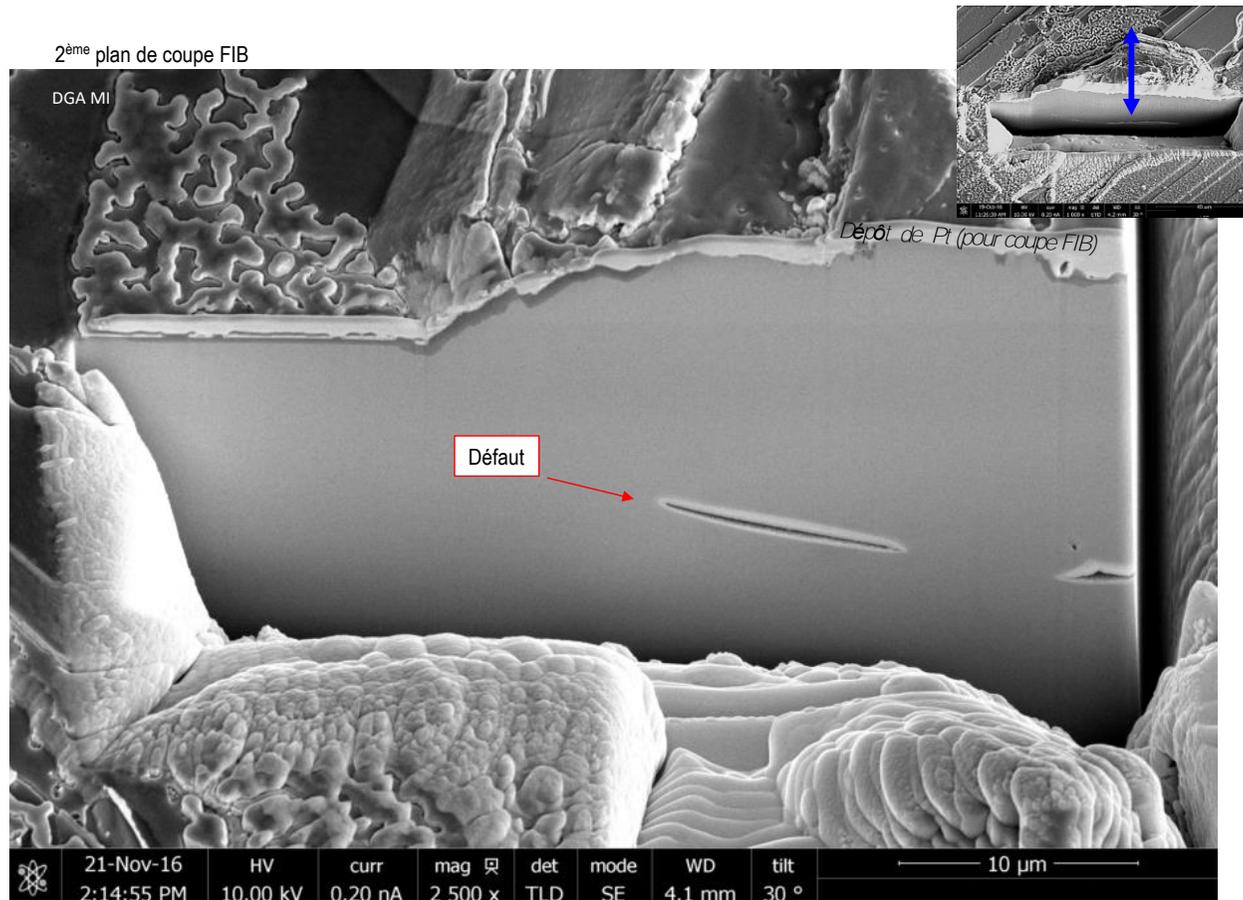
# Illustration d'un macro défaut tueur sur un prototype de JFET réalisé par IBS (1) : origine épitaxie



1<sup>er</sup> plan de coupe FIB

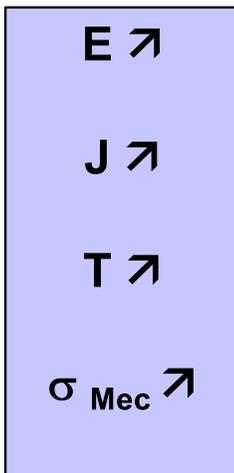


# Illustration d'un macro défaut tueur sur un prototype de JFET réalisé par IBS (2) : origine épitaxie



# Relations ambiguës entre les rendements, la défektivité et la fiabilité

- Les fabricants clament qu'il n'y a plus de problème : les défauts substrat jouent sur la défektivité, donc le rendement et sont éliminés lors des tests. Pas assez de RETEX worldwide pour confirmer ou infirmer.



Cree Field Failure Rate Data since Jan. 2004		
Product	Device Hours	FIT (fails/billion hrs)
CSDxxx60	75,200,000,000	0.6
CSDxxx60	42,700,000,000	0.1
CSDxxx60	7,060,000,000	0.1
CSDxxx60	2,440,000,000	0.4
<b>Total</b>	<b>127,400,000,000</b>	<b>0.4</b>

- 1200 V Schottkys have **zero field failures** since introduced in Sept. 2006
- 2 largest Cree Customers: **"Your SiC parts are much more reliable than the Silicon parts we were using."**

Source : John Palmour 2009 Cree

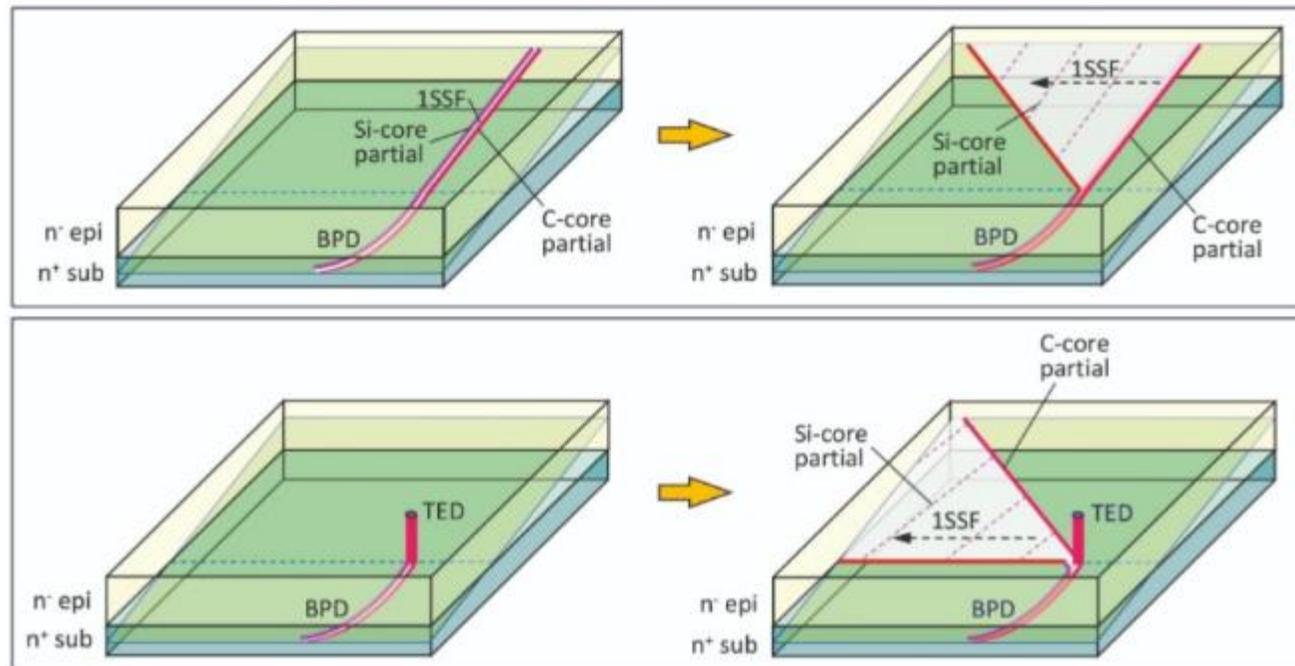
## Proven Reliability with Industry-Leading Standards

Cree Field Failure Rate Data since Jan. 2004 through Mar. 2014

Product	Device Hours	FIT (fails/billion hrs)
CSDxxx60	426,000,000,000	0.05
C2Dxxx120	146,000,000,000	0.54
C3Dxxx60	367,000,000,000	0.02
C4Dxxx120	26,700,000,000	0.04
<b>SiC MOSFET</b>	<b>1,140,000,000</b>	<b>3.5</b>
<b>Total</b>	<b>972 Billion</b>	<b>0.12</b>

- 0.12 FIT rate is 10 times lower than the typical silicon
- SiC diodes first released in 2001
- SiC MOSFETs first released in 2011

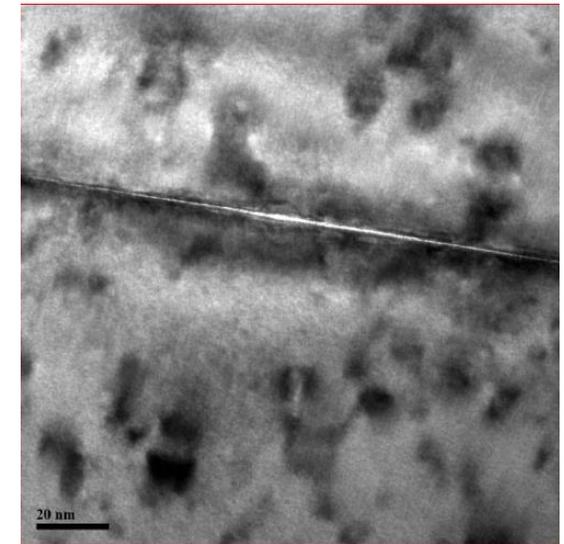
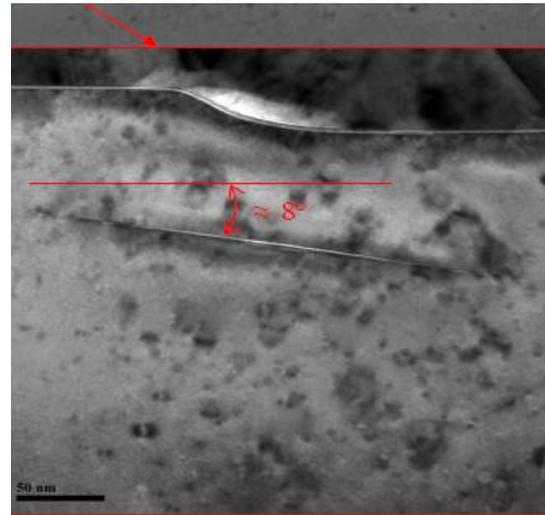
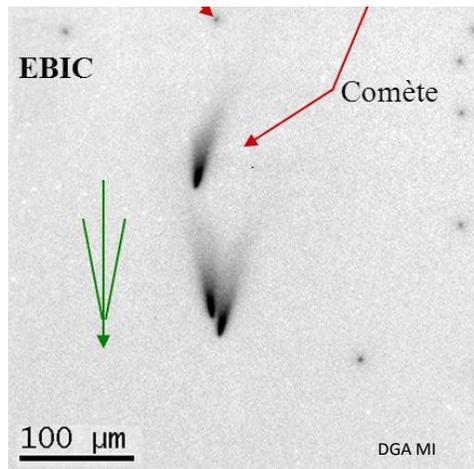
# Rôle des Basal Plane Dislocations (BPD) dans la fiabilité des dispositifs bipolaires (diodes PiN, IGBT)



Conséquences:  $V_f \nearrow$ , optimisation de la structure en cours par un buffer supplémentaire

Source : Compound Semiconductor - Vol 26 février 2020 - Central Research Institute of Electric Power Industry (CRIEPI – Japon)

## Illustration d'une dislocation révélée en EBIC



Source : D. Ruelloux DGA MI (EBIC) et Serma Technologies (TEM)

Dans le cas présent, la dislocation reste confinée dans la zone implantée sans créer un courant de fuite dans la jonction. Quid de sa fiabilité versus l'évolution de la dislocation ???



## Conclusions

- Montée en maturité nette du SiC portée par les applications automobile.
- Cette montée en maturité impacte favorablement la fiabilité des dispositifs.
- Les procédures actuelles JEDEC ne sont pas suffisantes pour traiter de tous les mécanismes intrinsèques liés en particulier à la maîtrise des interfaces SC/oxyde de grille et de la robustesse de la diode body. ➤ intérêt du projet Siret porté par l'IRT
- Les défauts matériaux, bien qu'en forte réduction, reste le point dur aussi bien pour les rendements que pour la fiabilité.
- DGA MI recommande pour les applications militaires une politique de déverminage systématique, à optimiser au cas par cas en fonction des dispositifs, de l'architecture électrique du système de conversion et de l'expérience acquise avec les fabricants.

## Remerciements

Cette présentation a été faite avec le support de :

- Cécile Neveu
- Daniel Ruelloux
- Adrien Badetz
- Ronan Baron

**CREE**

Its Time for SiC Power Technology!

"All I'm saying is now is the time to develop technology to deflect the asteroid."

Creating Technology That Creates Solutions



# BACK-UP

## Back-up 1 : exemples des travaux en cours du JC - 70-2

# Silicon Carbide threshold voltage

Presented initially at APEC 2019; updated to advanced document status at APEC 2020 by multiple task groups

### Test methods influence results

### JC-70.2 Task Group (TG) evaluations

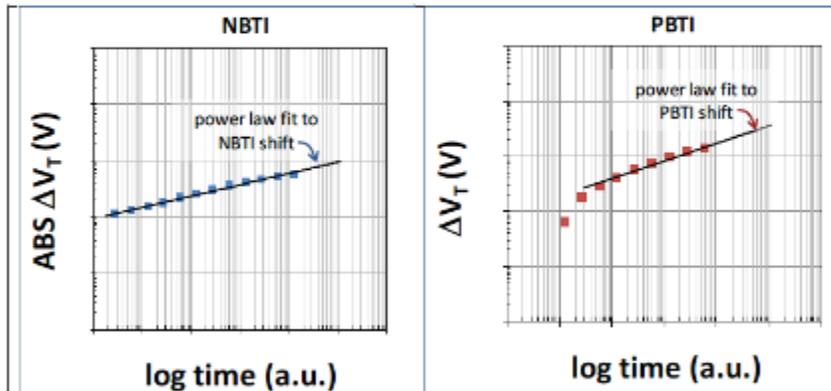


Figure 5.4. Graph showing the absolute value of the NBTI  $V_{(th)}$  shift (the shift is expected to be negative) as a function of time, fit to a power law.

Figure 5.5. Graph showing the absolute value of the PBTI  $V_{(th)}$  shift as a function of time, fit to a power law. The early time portions of  $V_{(th)}$  shift do not always follow power law behavior.

S. Sabri, et al, "SiC Power Device Reliability Studies," 13<sup>th</sup> Annual SiC MOS Workshop, Aug. 2018, University of Maryland, USA.

- Example SiC topic is threshold shift, or sometimes referred to as Bias Temperature Instability (BTI)
  - Shifts with voltage, temperature and time
  - It can affect reliability if shift is too severe causing circuit failure
  - It can be reported differently in datasheets without common agreement on test procedures

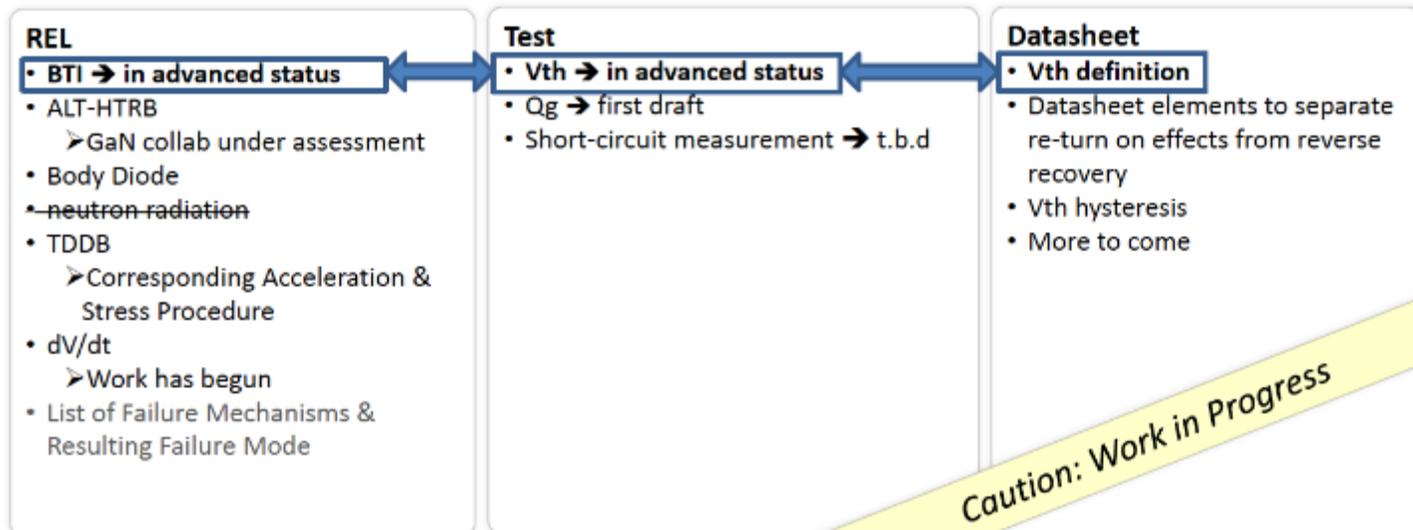


## Back-up 2 : Focus sur JC 70.2

# Proposed Items focus for SiC Guidelines/Standards

Status Update  
APEC 2020

Liaisons between Task Groups to be fine tuned



APEC 2020, NOLA

22 of 29

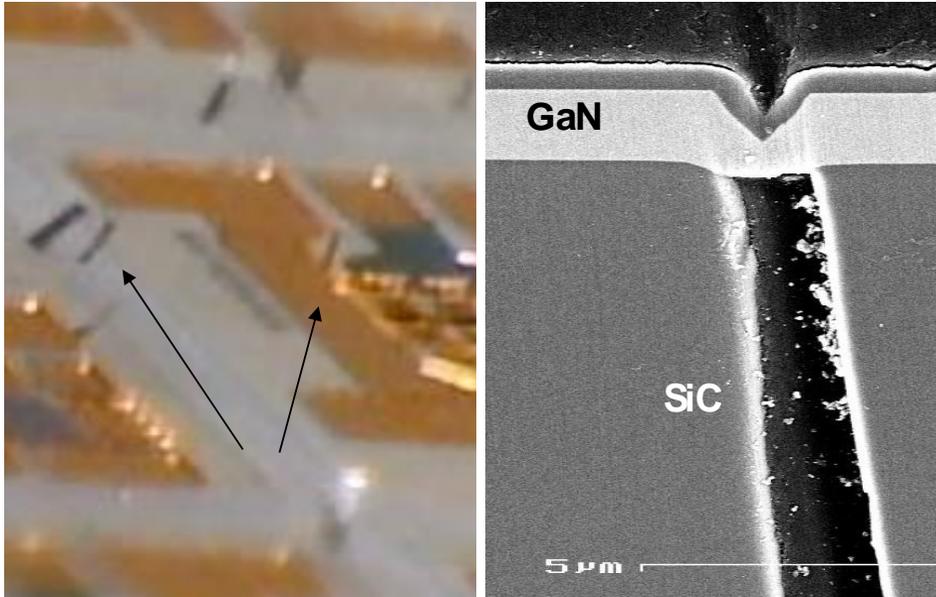
Source : APEC 2020 – 'datasheet, qualification and tests standards for wide bandgap: Progress and impact S. W. Butler (TI) , Peter Friedrichs (Infineon)'



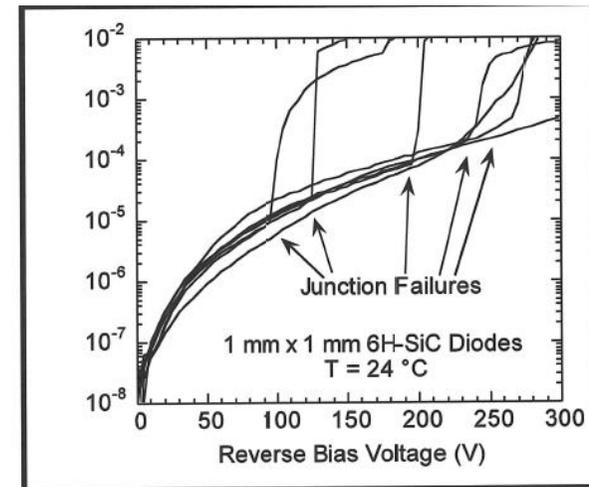
## Back-up 3 : description des micropipes (1)

- **Micropipes : en cours de croissance du substrat (pas lors de l'épitaxie)**
  - Tube creux d'atomes traversant toute l'épaisseur du substrat selon l'axe c.
  - Lié à une super dislocation vis (théorie de Frank)
  - Associé à un stress thermoélastique provoqué par une distribution non homogène de la température dans le process de croissance
  - Provoque courant de fuite et réduit la tension de claquage
  - De forts progrès depuis 20 ans (de 30 /cm<sup>2</sup> à 0.01 d/cm<sup>2</sup>)
  - Directement détectables lors du tri électrique si débouchante à la surface ( continuité dans l'épitaxie)
  - Si le micropipe est partiellement bouché lors de l'épitaxie, risque de point chaud en fiabilité.

## Back-up 4 : description des micropipes (2)

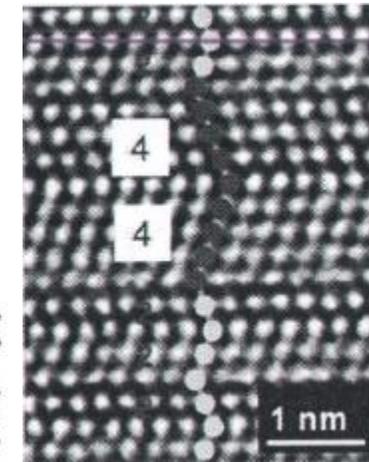
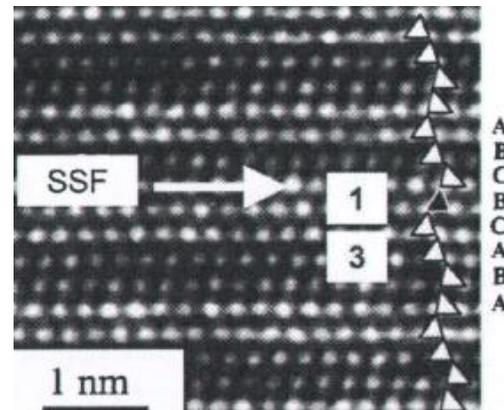
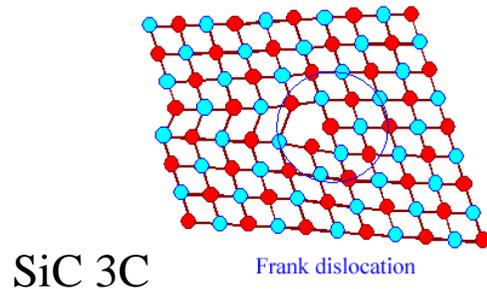
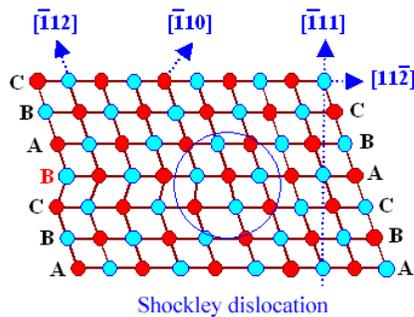


Source : D. Ruelloux DGA MI 2010 GaN/SiC Semi Isolant (même mécanisme indépendant du dopage pour SiC N-



## Back-up 5 : description des fautes d'empilement

- Encore appelé 'Stacking Fault' ou SF : perturbation de l'arrangement cristallin, un plan cristallin n'est pas à sa bonne place (par exemple ABCA ► ABC'B'.....) .
  - 2 types : Shockley ou Frank
- Conduit à des dislocations



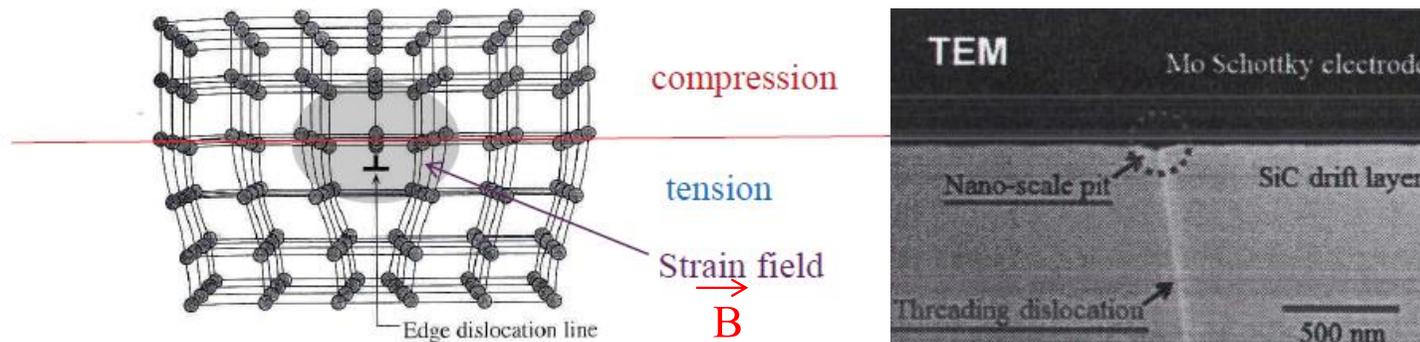
SiC 4H

*M. Skowronski and S. Ha,  
J. Appl. Phys. 99 (2006), 011101.*

Source : Tutorial T. Kimoto (J) 2016

## Back-up 6 : description des dislocations coins

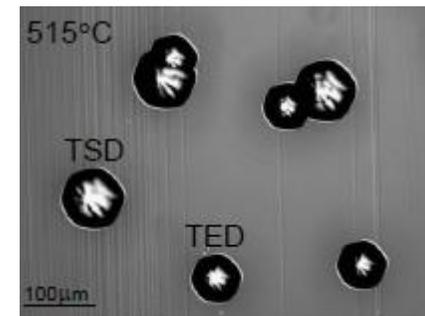
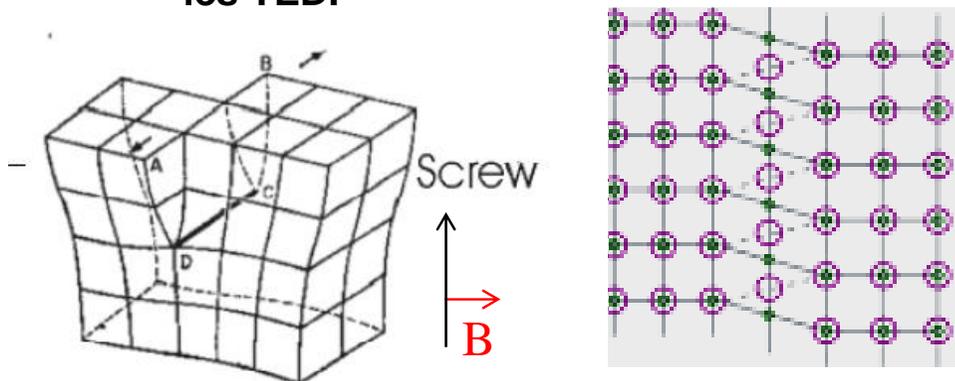
- Encore appelé 'Edge Dislocation' ou TED (Threading Edge dislocation) : un demi plan atomique supplémentaire est présent (comme un coin que l'on enfonce), les autres plans se resserrent pour combler le vide. Le diamètre est de l'ordre de quelques distances interatomiques. La ligne de dislocations remontent à la surface (1 D) perpendiculaire au plan du schéma (vecteur de Burger  $\vec{B} \perp$  à la ligne):
  - densité  $\approx 10^3/\text{cm}^2$
  - Conséquence sur les courants de fuite des diodes et sur les tensions de claquage (claquage prématuré)
  - Peut se révéler comme des 'pits' en surface avec (100%) ou sans révélation (rare)



Source : Tutorial T. Kimoto (J) 2016

## Back-up 7 : description des dislocations vis

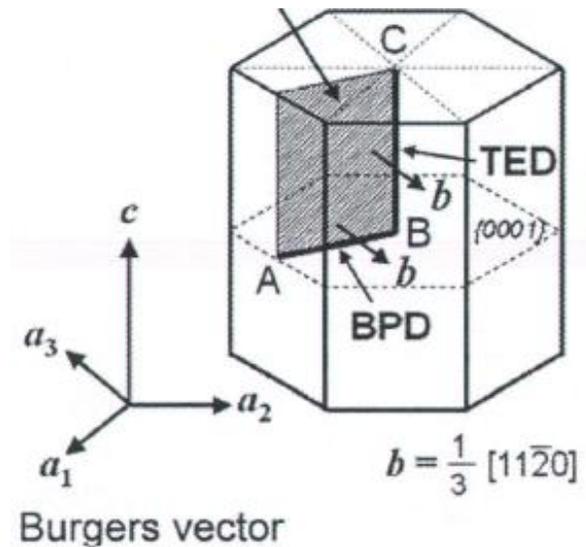
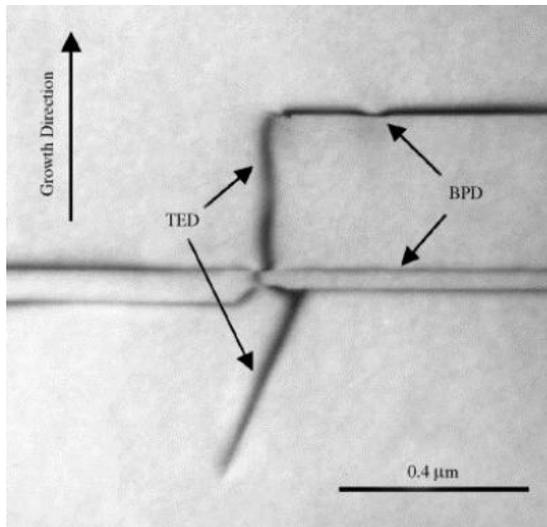
- Encore appelé ‘Screw Dislocation’ ou TSD (Threading Screw Dislocation) : la dislocation se propage perpendiculairement à la déformation (cisaillement). Les atomes se réarrangent comme dans un filet d’un vis (à chaque tour, on monte d’un niveau atomique, le plan ABCD se déplace dans la direction AB, arrangement en décalé conduisant à une hélice de déformation).
  - densité  $\approx 10^3$  à  $10^4/\text{cm}^2$
  - Conséquence sur les courants de fuite des diodes et sur les tensions de claquage (claquage prématuré dans la dislocation)
  - Observable après révélation chimique en surface (KOH,  $400^\circ\text{C}$ ), plus large que les TED.



Source : J.J.Sumakeris (Wolfspeed 2015)

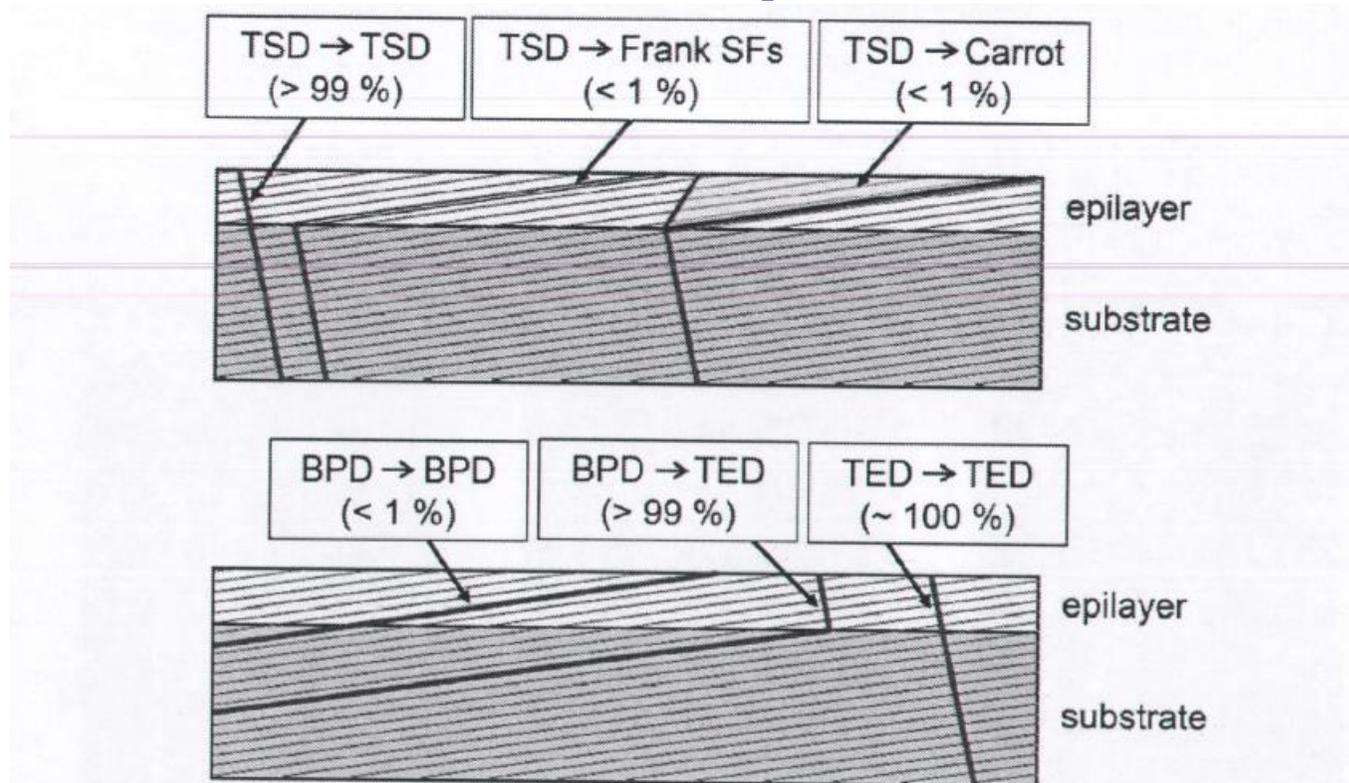
## Back-up 8 : description des dislocations plan

- Encore appelé ‘Basal Plane Dislocation’ ou BPD ( la dislocation concerne cette fois ci un plan cristallin qui est localement manquant ou en excès.
  - densité  $\approx 10^2 / \text{cm}^2$
  - Conséquence sur la dérive de la tension de mise en conduction (VF) pour les composant bipolaire sous polarisation (l'énergie électrique accroît l'étendue des défauts et donc les zones de recombinaison des porteurs )
  - Accroît les courants de fuite



Source : T. Kimoto (J) 2016

## Back-up 9 : différents défauts d'épitaxie (1)



H. Tsuchida et al., *J. Crystal Growth* **306** (2007), 254.

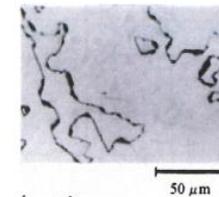
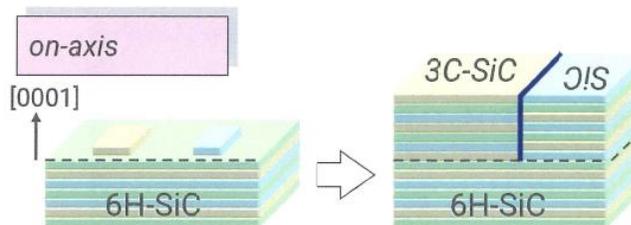
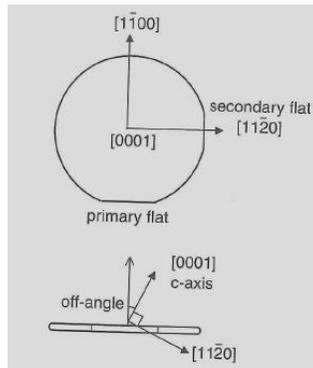
H. Tsuchida et al., *J. Crystal Growth* **310** (2008), 757.

S. Ha et al., *J. Crystal Growth* **244** (2002), 257.

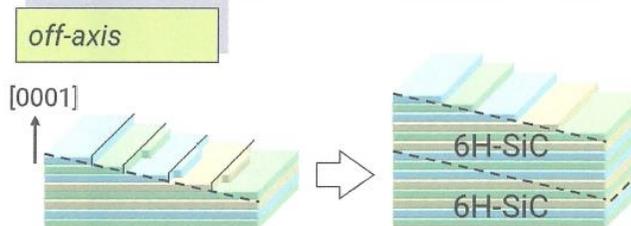
X. Zhang et al., *J. Appl. Phys.* **102** (2007), 093520.

## Back-up 10 : différents défauts d'épitaxie (2) : step bunching (a)

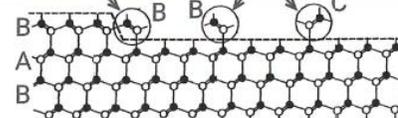
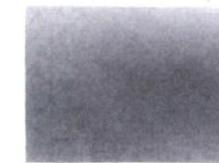
- Nécessité de faire une croissance épitaxiale ( $\text{SiH}_4 + \text{C}_3\text{H}_8 - 1450^\circ\text{C}/1650^\circ\text{C}$ ) avec des substrat tiltés lors de la découpe pour éviter la croissance de polytypes ( $8^\circ$  off pour 4H et  $3,5^\circ$  off pour le 6H: induit du step bunching ) : de qq nm en général , parfois +++



2D nucleation  
→ polytype mixing



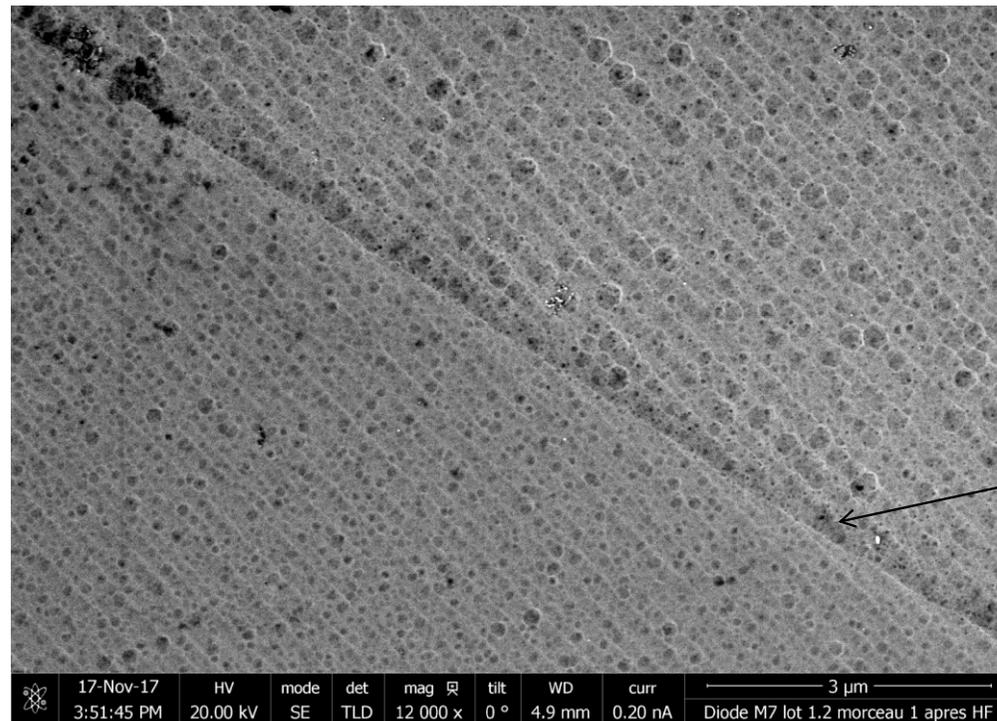
Step-flow growth  
→ polytype replication



N. Kuroda et al.,  
Ext. Abstr. 19th Conf. SSDM (1987), p.227.

## Back-up 11 : différents défauts d'épitaxie (3) : step bunching (b)

- Révélation d'une rugosité due au 'step bunching' après retrait de toutes les couches constitutives (striures obliques).

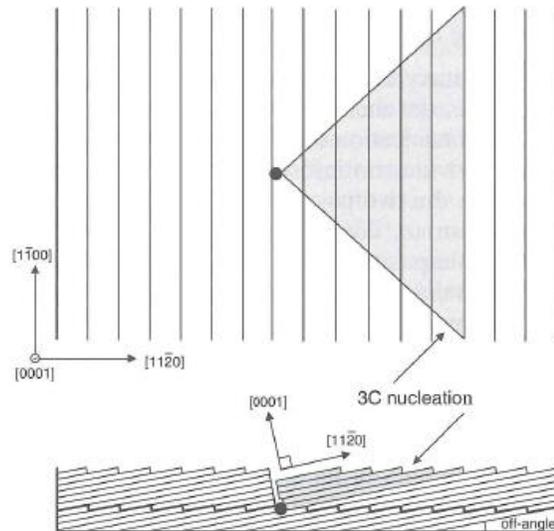


Ligne artefact  
provenant des  
marches  
d'oxydes du  
process

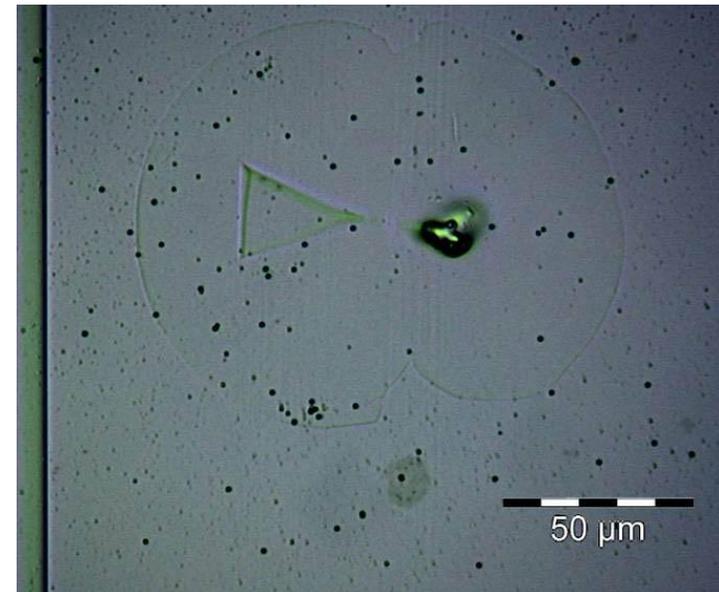
Source : C. Neveu. DGA MI 2017

## Back-up 12 : différents défauts d'épitaxie (4)

- **Défauts triangulaires** : TD comme 'Triangular Defect'
  - une particule au début de l'épitaxie ou un défaut cristallin ou une rayure est responsable d'une croissance d'un polytype 3C en forme de triangle isocèle (d: 1- 10/cm<sup>2</sup>)



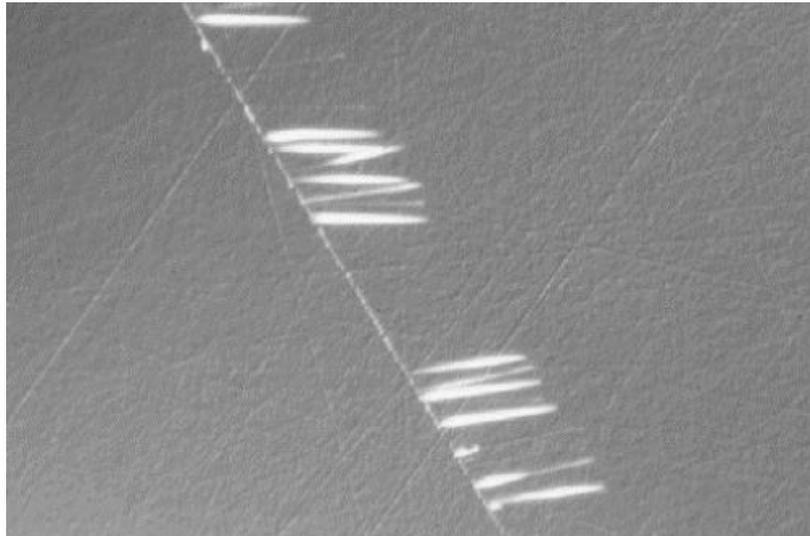
Source: A.A Burk Phys. Status Solidi B (1997)



Source: R. Baron DGA MI 2017

## Back-up 13 : différents défauts d'épitaxie (5)

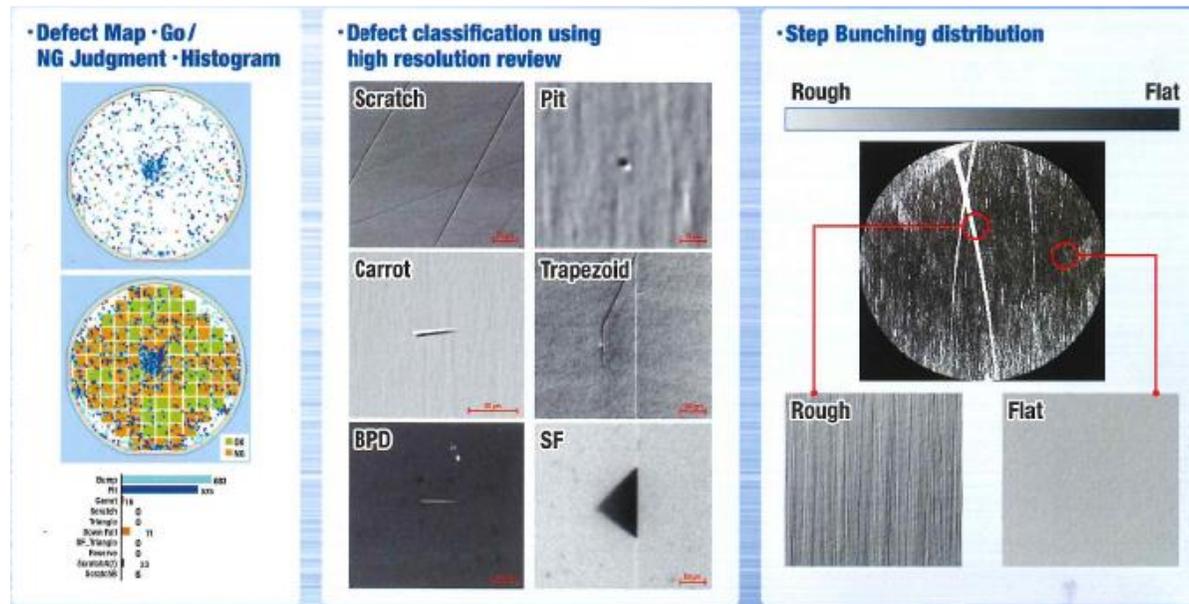
- **Défauts carrots : (CD comme 'Carrot Defect)**
  - Défaut morphologique complexe en forme de carotte (d: 1- /cm<sup>2</sup>). Combinaison de défauts d'empilement conduisant à une dislocation et de particules étrangères à l'interface substrat/épitaxie.



Source : J. Hudgins (USA ) Université du Nebraska

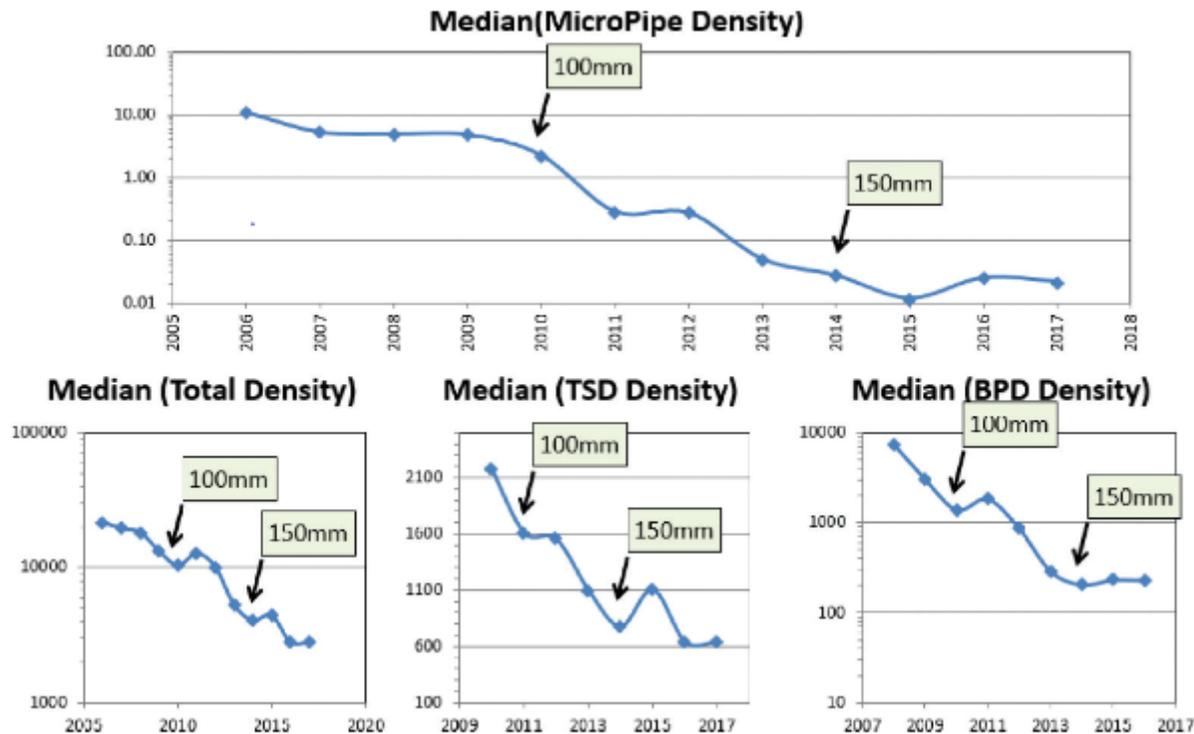
## Back-up 14 : différents défauts d'épitaxie (6)

- **Particules ('Down Falls') :**
  - Particules qui tombent sur le substrat lors de la croissance épitaxiale et qui génère des défauts plus ou moins étendus.
- **nécessité d'outil automatique d'inspection couplant optique et photoluminescence (Lasertec (J), KLA Tencor (USA)).**



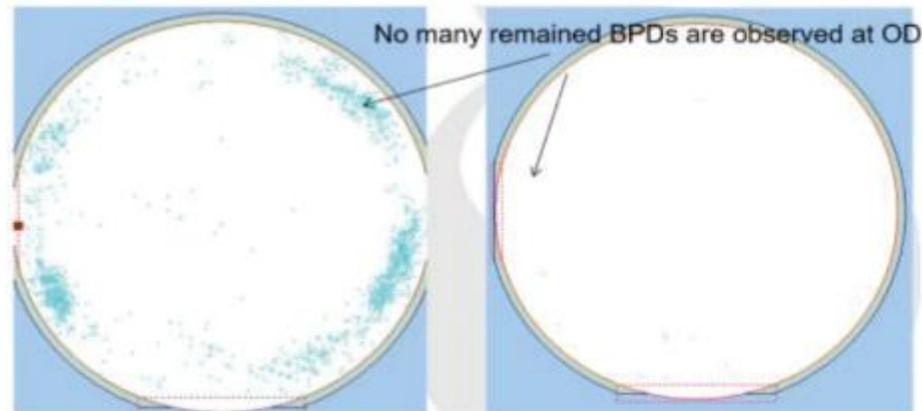
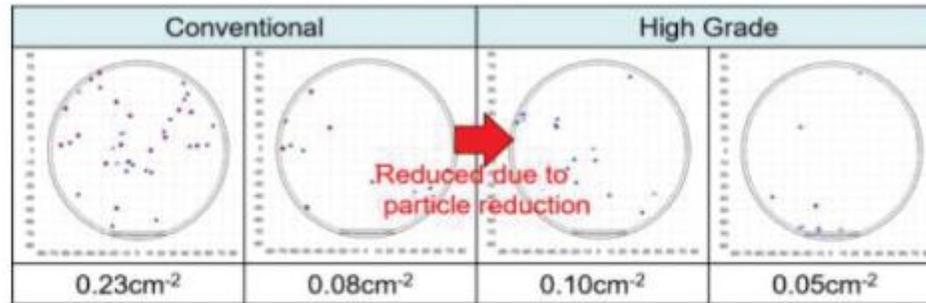
Source : Lasertec (J)

# Back-up 15 : réduction des défauts substrat par le volume et l'amélioration des process de croissance



Source : United Silicon Carbide - Anup Bhalla -VP of Engineering – Status of SiC Products and Technology – Nov 2017

# Back-up 16 : réduction des défauts d'épitaxie par le volume et l'amélioration des process de croissance

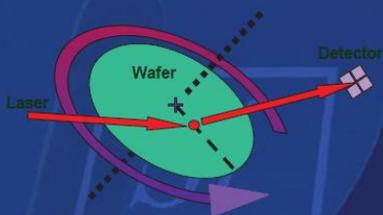


Rapid improvements in epitaxial layer defects. Courtesy: Showa Denko Corporation.

*Source : United Silicon Carbide - Anup Bhalla -VP of Engineering – Status of SiC Products and Technology – Nov 2017*

# Back-up 17: Impact sur le rendement électrique des défauts cristallins (1)

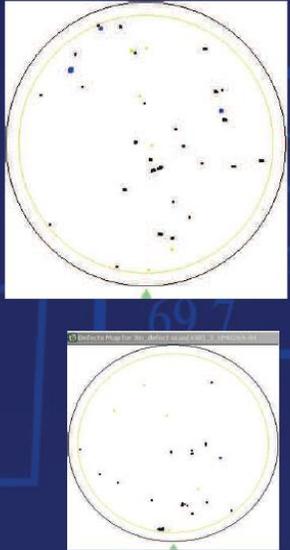
### SiC Substrate and Epi Defect Mapping For Enhanced SiC Device Yield



**Candela Tool For Automated SiC Material Defect Mapping**

0	0	0	0	0	1	
0	0	0	0	0	0	0
0	0	0	0	0	0	0
0	0	0	1	4	0	0
1	0	0	0	0	1	0
1	0	0	0	0	0	0
0	1	2	3	1		

- Predicted "Material" Yield for 8x8 mm SiC JBS Diodes = 63%
- Measured Yield for 10.6 x 8.3 mm SiC JBS Diodes = 72%
- Predicted "Material" Yield for 8.1x8.1 mm SiC DMOSFETs = 77%



**CREE**  *Creating Technology That Creates Solutions*

Negative Binomial

$$Y_r = \frac{1}{\left(1 + \frac{AD_0}{\alpha}\right)^\alpha}$$

Murphy

$$Y_r = \left(\frac{1 - e^{-AD_0}}{AD_0}\right)^2$$

Bose-Einstein

$$Y_r = \frac{1}{(1 + AD_0)^n}$$

Seeds

$$Y_r = e^{-\sqrt{AD_0}}$$

Poisson

$$P(k) = \frac{\lambda^k k e^{-\lambda}}{k!}$$

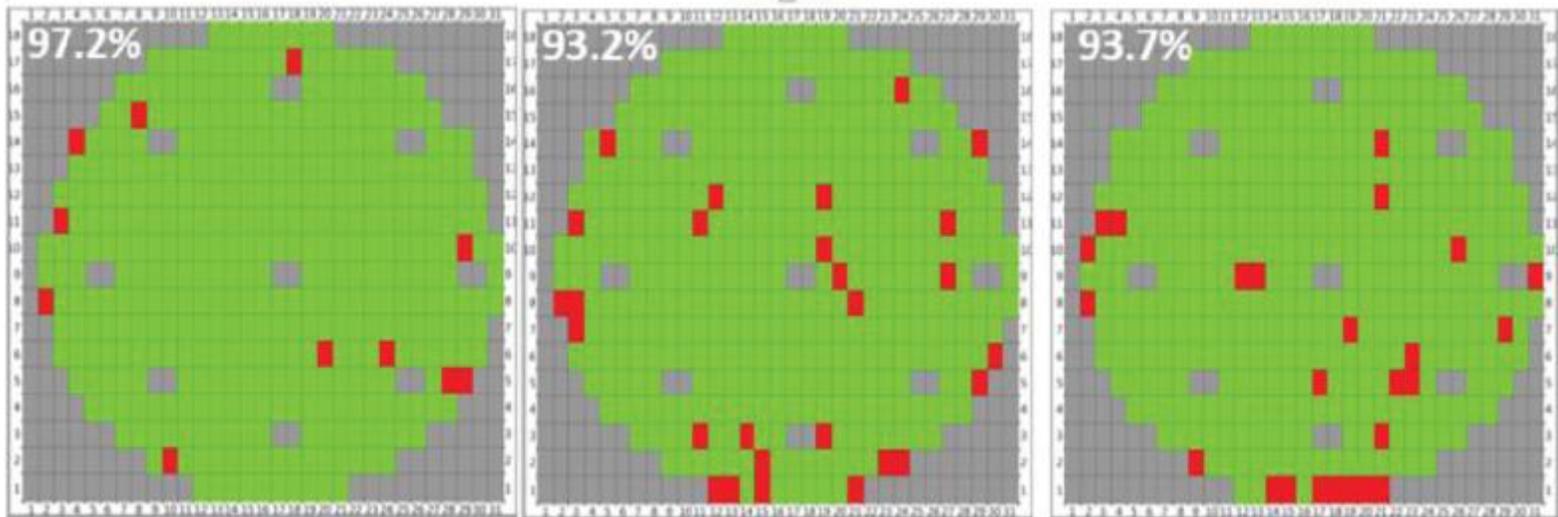
$$Y_r = P(0) = e^{-\lambda} = e^{-AD_0}$$

$$Y_r = \int_0^\infty F(D) e^{-AD} d$$

$$D_0 \text{ extrait} = 0.33d/cm^2$$

Source : Wolfspeed 2009

## Back-up 18 : Impact sur le rendement électrique des défauts cristallins (2)



Yield on 6-inch 200A, 650 V JBS diodes. Courtesy: USCi 2017.

*Source : United Silicon Carbide - Anup Bhalla -VP of Engineering – Status of SiC Products and Technology –Nov 2017*